

49657-994

Arimoto, et al.

February 7, 2001

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 9月14日

出 願 番 号

Application Number:

特願2000-279456

出 願 人

Applicant (s):

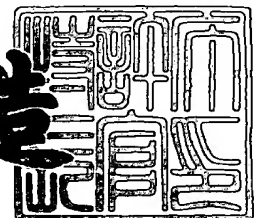
三菱電機株式会社



2000年10月13日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3084740

【書類名】 特許願

【整理番号】 523489JP02

【提出日】 平成12年 9月14日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 有本 和民

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 島野 裕樹

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【先の出願に基づく優先権主張】

【出願番号】 特願2000-113097

【出願日】 平成12年 4月14日

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9805688

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 行および列状に配置される複数のメモリセルを含むメモリアレイと、

前記複数のメモリセルが保持するデータをリフレッシュするために必要な時間間隔で、リフレッシュ要求信号を出力するリフレッシュタイマ回路と、

アクセスコマンドに応じて内部コマンド信号を発生するコマンド発生回路と、

前記内部コマンド信号および前記リフレッシュ要求信号に応じて前記メモリアレイの行選択に関連する動作を行なう行選択制御回路とを備え、

前記行選択制御回路は、

前記内部コマンド信号に応じて活性化し、前記メモリアレイの行選択動作のタイミング信号を出力するタイミング制御回路と、

前記リフレッシュ要求信号を受けて保持し、前記タイミング制御回路が非活性状態になったときに内部リフレッシュコマンド信号を出力するリフレッシュ制御回路と、

前記内部リフレッシュコマンド信号に応じて活性化し、前記タイミング制御回路に代わって前記タイミング信号を出力するリフレッシュタイミング制御回路とを含み、

前記タイミング信号に応じて前記メモリアレイの行選択を行なう行選択回路をさらに備える、半導体記憶装置。

【請求項 2】 前記アクセスコマンドは、

読出コマンドを含み、

前記半導体記憶装置が前記アクセスコマンドを受けてから次のアクセスコマンドを受けることができるまでの基本サイクル時間は、前記内部コマンド信号が出力されてから前記メモリアレイよりデータの読出が完了するまでの通常読出サイクル時間と、前記内部リフレッシュコマンド信号が出力されてから前記メモリアレイの前記内部リフレッシュコマンド信号に対応する部分のリフレッシュが完了するまでのリフレッシュサイクル時間との合計時間以上である、請求項 1 に記載

の半導体記憶装置。

【請求項 3】 前記リフレッシュ制御回路は、
前記リフレッシュ要求信号を受けて保持するラッチ回路と、
前記ラッチ回路の出力が前記リフレッシュ要求信号が入力されたことを示し、
かつ、前記タイミング制御回路が非活性化されている場合に前記内部コマンド信号の基となるパルスを出力するパルス発生回路とを有する、請求項 2 に記載の半導体記憶装置。

【請求項 4】 前記コマンド発生回路は、前記アクセスコマンドを保持し、
前記リフレッシュタイミング制御回路が活性化されている場合には、前記リフレッシュタイミング制御回路が非活性化されるまで待ってから前記内部コマンド信号を出力する、請求項 2 に記載の半導体記憶装置。

【請求項 5】 前記コマンド発生回路は、
前記アクセスコマンドを受けて保持するラッチ回路と、
前記ラッチ回路の出力が前記アクセスコマンドが入力されたことを示し、かつ、
前記リフレッシュタイミング制御回路が非活性化されている場合に前記内部コマンド信号の基となるパルスを出力するパルス発生回路とを有する、請求項 4 に記載の半導体記憶装置。

【請求項 6】 前記コマンド発生回路は、
前記アクセスコマンドに応じてコマンド発生基準信号を出力する内部コマンド発生回路と、

前記コマンド発生基準信号を少なくとも前記リフレッシュサイクル時間以上遅延させて前記内部コマンド信号を出力する遅延回路とを含み、

前記リフレッシュ制御回路は、前記リフレッシュ要求信号を受けて保持し、前記タイミング制御回路が非活性状態になったときに前記内部リフレッシュコマンド信号を出力する、請求項 2 に記載の半導体記憶装置。

【請求項 7】 前記リフレッシュ制御回路は、
前記リフレッシュ要求信号を保持するラッチ回路と、
前記ラッチ回路の出力が前記リフレッシュ要求信号が入力されたことを示し、
かつ、前記タイミング制御回路が非活性状態になったときに前記内部リフレッシュ

ユコマンド信号の基となるパルスを出力するパルス発生回路とを有する、請求項 6 に記載の半導体記憶装置。

【請求項 8】 前記メモリアレイからの出力を受けて読出データとして保持し出力イネーブル信号を受けて前記読出データを出力するデータ入出力制御回路をさらに備える、請求項 2 に記載の半導体記憶装置。

【請求項 9】 前記行選択制御回路は、
与えられる行アドレスを保持して通常行アドレスを出力するアドレスラッチ回路と、

リフレッシュする行に対応するリフレッシュ行アドレスを順次更新して出力するリフレッシュカウンタ回路と、

前記通常行アドレスと前記リフレッシュ行アドレスとを受けて、前記内部リフレッシュコマンド信号に応じていずれか一方を前記メモリアレイの行選択を行なうアドレスとして出力する選択回路とをさらに含む、請求項 2 に記載の半導体記憶装置。

【請求項 10】 前記メモリアレイは、
独立して行選択動作が可能な複数のバンクを含み、
前記リフレッシュ制御回路は、前記通常行アドレスが示すバンクと前記リフレッシュ行アドレスが示すバンクとが一致する場合には、前記タイミング制御回路が非活性となってから前記内部リフレッシュコマンド信号を出力する、請求項 9 に記載の半導体記憶装置。

【請求項 11】 前記アドレスラッチ回路は、前記与えられる行アドレスをクロック信号に同期して取込む、請求項 9 に記載の半導体記憶装置。

【請求項 12】 前記アクセスコマンドをクロック信号に同期して取込み、前記コマンド発生回路に与えるラッチ回路をさらに備える、請求項 2 に記載の半導体記憶装置。

【請求項 13】 行および列状に配置される複数のメモリセルを含むメモリアレイと、

前記メモリアレイに対するアクセスコマンドが与えられたことを示すコマンド検出信号と前記アクセスコマンドに対応する内部コマンド信号とを出力するコマ

ンド検出回路と、

前記内部コマンド信号に応じて前記メモリアレイの行選択に関連する動作を行なう行選択制御回路とを備え、

前記行選択制御回路は、

与えられる行アドレスを前記コマンド検出信号に応じて取込み内部行アドレスとして保持する保持回路と、

前記行アドレス信号の変化を検出すると第 1 の所定時間経過後に前記行アドレスと前記内部行アドレスとを比較して前記内部行アドレスを前記メモリアレイの行選択に使用するか否かを判断する比較回路とを含む、半導体記憶装置。

【請求項 1 4】 前記比較回路は、

前記行アドレスの変化を検出するアドレス変化検出回路と、

前記アドレス変化検出回路の出力を前記第 1 の所定時間だけ遅延させる遅延回路と、

前記遅延回路の出力に応じて、前記行アドレスと前記内部行アドレスとを比較するアドレス比較部とを含む、請求項 1 3 に記載の半導体記憶装置。

【請求項 1 5】 前記アドレス比較部は、アドレス比較結果が不一致の場合には、前記保持回路に再度前記行アドレスの取込みを指示する、請求項 1 4 に記載の半導体記憶装置。

【請求項 1 6】 前記比較回路は、前記行アドレスと前記内部行アドレスとが一致しない時は、前記保持回路に再度前記行アドレスの取込みを指示し、

前記行選択制御回路は、

前記コマンド検出信号に応じて第 2 の所定時間経過後に、前記保持回路に対し前記内部行アドレスの更新を禁止する遅延回路をさらに含む、請求項 1 3 に記載の半導体記憶装置。

【請求項 1 7】 前記第 2 の所定時間は、前記半導体記憶装置が前記アクセスコマンドを受けてから次のアクセスコマンドを受けることができるまでの基本サイクル時間の半分である、請求項 1 6 に記載の半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、より特定のにはリフレッシュの制御が簡易化されたダイナミックランダムアクセスメモリ（DRAM）に関する。

【0002】

【従来の技術】

近年、プロセッサまたはASIC（特定用途向けIC）などのロジックと大記憶容量のダイナミックランダムアクセスメモリ（DRAM）とを同一半導体チップ（半導体基板）上に集積化したロジック内蔵DRAMなどのシステムLSIが使用されるようになってきている。

【0003】

このような、システムLSIにおいては、128ビットから512ビットの多ビットの内部データバスでロジックとDRAMとを相互接続することにより、端子数の少ない汎用DRAMとロジックLSIとをプリント基板上で接続して用いる場合に比べて1ないし2桁以上の高速のデータ転送を実現することができる。

【0004】

また、ロジックに対し汎用DRAMを外付けする方式に比べて、ロジックの外部ピン端子数を低減することができる。

【0005】

さらに、システムLSI内部では、DRAMブロックとロジックとは内部配線で接続される。この内部配線の長さは、プリント基板上の配線に比べて十分短く、寄生インピーダンスも小さいため、データバスの充放電電流を大幅に低減でき、かつ、高速で信号の転送を行なうことができる。

【0006】

これらの理由により、DRAM混載のシステムLSIは、3次元グラフィック処理、画像・音声処理などの大量のデータを取扱う処理を行なう情報機器においてその性能を向上させる上で大きく寄与している。

【0007】

図34は、従来のシステムLSIに内蔵されるDRAMの回路ブロックの構成を概略的に示す図である。

【0008】

図34を参照して、DRAM回路ブロックは、複数のメモリアレイMA0～MA_nと、メモリアレイMA0～MA_nの間に配設されるセンスアンプ帯SB1～SB_nと、メモリアレイMA0およびMA_nの外側に配置されるセンスアンプ帯SB0およびSB_{n+1}を含む。メモリアレイMA0～MA_nの各々は、サブワードドライバ帯SWDBにより複数のメモリサブアレイMSAに分割される。

【0009】

メモリアレイMA0～MA_nの各々において、サブワードドライバ帯SWDBにより分割されるメモリサブアレイMSAに共通にメインワード線MWLが配設される。メインワード線MWLは、対応のメモリアレイの各メモリサブアレイMSAの所定数のサブワード線に対応してそれぞれ配置される。メインワード線MWLおよびセンスアンプ帯上に配置される所定数のサブデコード線SDLが、サブワードドライバ帯SWDB内のサブワードドライバに入力されて、一本のサブワード線が選択される。

【0010】

センスアンプ帯SB1～SB_nの各々は、隣接メモリアレイにより共有される。メモリアレイMA0～MA_nに対応してメインワード線およびサブデコード線をロウアドレス信号に従って選択するロウデコーダが配置され、またロウデコーダと整列してコラムアドレス信号に従ってメモリアレイから列を選択するための列選択信号を列選択線CSL上に伝達するコラムデコーダが配置される。

【0011】

列選択線CSLはセンスアンプ帯に配設され、選択時に所定数のセンスアンプ回路を内部データ線対GIOPの群に接続する。内部データ線対GIOPは、所定数がメモリアレイMA0ないしMA_nをわたって延在して配設され、ローカルデータ線を介して選択されたセンスアンプ回路と結合される。

【0012】

内部データ線対GIOPは、128ビットから512ビット設けられ、プリアンプおよびライトドライバを含むデータバス帯DPBに結合される。このデータバス帯DPBにおいては、内部データ線対GIOPそれぞれに対応してプリアン

プおよびライトドライバが配置される。内部データ線対G I O Pは、書込データおよび読出データ両者を伝達する伝達線対であってもよく、また読出データを伝達するバス線対および書込データを伝達する書込データ線対が別々に内部データバス線対として設けられてもよい。

【0013】

DRAM回路ブロックは、さらに、ロジックから与えられるたとえば13ビットの外部アドレスA0～A12を受けるロウアドレス入力回路／リフレッシュカウンタRAFKおよびコラムアドレス入力回路CAKと、ロジックから与えられる外部制御信号CLK, CKE, /CS, /RAS, /CAS, /WE, DMを受け、各種動作を指定する内部制御信号を生成するコマンドデコーダ／制御回路CDCと、データバス帯DPBとロジックとの間でデータの転送を行なうためのデータ入出力制御回路DIOKを含む。

【0014】

コマンドデコーダ／制御回路CDCは、クロック信号CLK、クロックイネーブル信号CKE、ロウアドレスストローブ信号／RAS、コラムアドレスストローブ信号／CAS、ライトイネーブル信号／WEおよびデータマスク信号DMを受け、これらの制御信号の立上がりエッジにおける論理状態に応じて指定された動作モードを判別する。この場合、これらの複数の制御信号CKE、／RAS、／CAS、／WEのクロック信号CLKの立上がりエッジにおける論理状態の組合せにより、「コマンド」が指定される。

【0015】

データマスク信号DMは、データ入出力制御回路DIOKに与えられるデータに対し、バイト単位で書込のマスクを指示する。コマンドデコーダ／制御回路CDCは、ロジックから与えられるコマンドをデコードし、このコマンドにより指定される動作モードを指示する動作モード指示信号を生成し、指定された動作モードを行なうための各種内部制御信号を生成する。

【0016】

コマンドには、行を選択状態に設定するためのロウアクティブコマンド、データ読出を指示するリードコマンド、データ書込を指示するライトコマンド、選択

行を非選択状態へおくためのプリチャージコマンド、リフレッシュ動作を行なうためのオートリフレッシュコマンド、セルフリフレッシュを行なうためのセルフリフレッシュコマンドなどが含まれる。

【0017】

ロウアドレス入力回路／リフレッシュカウンタRAFKは、ロウアクティブコマンドが与えられると、コマンドデコーダ／制御回路CDCの制御の下に、外部アドレスビットA0～A12、ロウアドレスとして取込み、内部ロウアドレス信号を生成する。

【0018】

このロウアドレス入力回路／リフレッシュカウンタRAFKは、与えられたアドレスビットをバッファ処理するアドレスバッファと、バッファ回路の出力信号をラッチするアドレスラッチを含む。

【0019】

ロウアドレス入力回路／リフレッシュカウンタRAFKに含まれるリフレッシュカウンタは、オートリフレッシュコマンドまたはセルフリフレッシュコマンドが与えられたとき、リフレッシュ行を指定するリフレッシュアドレスを生成する。リフレッシュ動作完了後、このリフレッシュカウンタのカウント値が増加または減少される。

【0020】

コラムアドレス入力回路CAKは、リードコマンドまたはライトコマンドが与えられると、コマンドデコーダ／制御回路CDCの制御の下に、たとえば外部アドレスビットのうちアドレスビットA0～A4の下位の部分を取込み、内部コラムアドレス信号を生成する。このコラムアドレス入力回路CAKも、アドレスバッファおよびアドレスラッチを含む。

【0021】

ロウアドレス入力回路／リフレッシュカウンタRAFKからの内部ロウアドレス信号はロウプリデコーダRPDへ与えられ、コラムアドレス入力回路CAKからの内部コラムアドレス信号は、コラムプリデコーダCPDへ与えられる。

【0022】

・ロウプリデコーダ RPD は、与えられた内部ロウアドレス信号をプリデコードして、プリデコード信号をロウ／コラムデコーダ帯 RCDB に含まれるロウデコーダへ与える。コラムプリデコーダ CPD は、コラムアドレス入力回路 CAK からの内部コラムアドレス信号をプリデコードし、プリデコード信号をロウ／コラムデコーダ帯 RCDB に含まれるコラムデコーダへ与える。

【 0 0 2 3 】

コマンドデコーダ／制御回路 CDC は、リードコマンドまたはライトコマンドを受けると、データ入出力制御回路 DI OK およびデータバス帯 DPB に含まれるプリアンプおよびライトドライバの動作の制御を行なうための内部制御信号を生成する。クロック信号 CLK は、この DRAM 回路ブロックの内部動作タイミングを決定する基準信号として利用される。

【 0 0 2 4 】

データ入出力制御回路 DI OK は、クロック信号 CLK に同期してデータの入出力を行ない、またロウアドレス入力回路／リフレッシュカウンタ RAFK のロウアドレス入力回路およびコラムアドレス入力回路 CAK は、クロック信号 CLK に同期して、与えられたアドレスビットの取込およびラッチを行なう。

【 0 0 2 5 】

DRAM 回路ブロックは、さらに、内部電圧 VPP、VCCS、VCCP、VBL および VCP を発生する内部電圧発生回路と、セルフリフレッシュモードが指定されたときすなわちコマンドデコーダ／制御回路 CDC から与えられるコマンド COM がセルフリフレッシュコマンドであったときに所定の間隔で、リフレッシュ要求信号 FAY を活性化するセルフリフレッシュタイマを含むブロック PHK を含む。

【 0 0 2 6 】

内部電圧 VPP は、選択サブワード線 SWL 上に伝達される電圧であり、通常、動作電源電圧よりも高い電圧レベルである。電圧 VCCS は、センスアンプ帯 SB0 ～ SBn+1 に含まれるセンスアンプ回路の動作電源電圧であり、図示しない内部降圧回路により生成される。電圧 VCCP は、周辺電源電圧であり、ロウ／コラムデコーダ帯 RCDB に含まれるロウデコーダおよびコラムデコーダ、

データバス帯DPBに含まれるプリアンプおよびライトドライバなどの周辺回路へ与えられる動作電源電圧であり、図示していない内部降圧回路により生成される。電圧VBLは、ビット線プリチャージ電圧である。電圧VCPは、メモリセルのセルプレートへ与えられるセルプレート電圧であり、メモリセルデータのHレベルの電圧およびLレベルの電圧の中間レベルである。これらの電圧VBLおよびVCPは、通常は、アレイ電源電圧（センス電源電圧）VCCSの1/2の中間電圧である。

【0027】

ブロックPHKのセルフリフレッシュタイマは、セルフリフレッシュモードに入ると活性化され、最大リフレッシュ時間 t_{REFmax} で、メモリアレイMA0~MANのすべての行のリフレッシュが1回完了するように、所定の間隔で、リフレッシュ要求信号FAYを発行する。

【0028】

このようなセルフリフレッシュモードは、通常、スリープモード時、すなわちシステムLSIが長期にわたってスタンバイ状態にあるときに設定される。メモリセル内のキャパシタに蓄積された電荷は、種々のリーク電流たとえばストレージノードSNにおける接合リーク電流、メモリセルトランジスタのチャネルリーク電流、キャパシタ絶縁膜のリーク電流などによって失われる。特に、H（ハイ）データを書込んだ場合、メモリセルからのビット線への読出動作を行なった際に得られるビット線対間の電位差がセンスアンプのセンス感度以下まで低下するまでにリフレッシュを行なう必要がある。したがって、チップ全体のデータ保持時間は、チップ内で一番短いデータ保持時間を持つメモリセルによって先に説明した t_{REFmax} が定められている。

【0029】

メモリアレイMA0~MANのすべての行をリフレッシュするのに必要なリフレッシュ回数を N_{ref} とすると、リフレッシュ要求信号FAYは、 t_{REFmax}/N_{ref} の周期で発行される。たとえば、 $N_{ref}=4096$ の4Kリフレッシュモードにおいては、最大リフレッシュ時間 t_{REFmax} が64msであれば、リフレッシュ要求信号FAYは、 $16\mu s$ ごとに発行される。

【 0 0 3 0 】

【発明が解決しようとする課題】

一方、携帯情報端末等においては、外部クロックの供給の必要のない非同期の汎用スタティックランダムアクセスメモリ（SRAM）を使用するシステム構成が広く採用されている。高速データ処理に必要なメモリはプロセッサに内蔵されているキャッシュメモリが受け持つため、外付けのデータ保持用SRAMには高速アクセスの機能は要求されない。

【 0 0 3 1 】

したがって、小型化の要求が厳しい携帯情報端末等においては、システム構成を簡単にするために、リフレッシュ周期ごとのリフレッシュ動作やさらにはリフレッシュ中のメモリへのアクセスをリフレッシュサイクルが終了するまで待つ制御といったようなリフレッシュにかかわる複雑なメモリコントロールが不要な汎用SRAMが使用されている。

【 0 0 3 2 】

しかしながら、携帯情報端末も、近年では画像をも取扱うように機能が大幅に向上してきており、大容量のメモリ機能が必要になってきている。この場合、メモリセルサイズがDRAMのメモリセルに比べて10倍近くもあるSRAMでは、大容量メモリになるとチップの価格が大幅に上昇し携帯情報端末のコストが上昇してしまう。したがってSRAMの代替メモリとしてDRAMへの期待が大きくなってきている。

【 0 0 3 3 】

特に、大容量DRAMと大規模ロジックやマイクロプロセッサ等とを集積化した混載DRAMは、内部のデータバスを多ビットにすることにより動作周波数を低く抑えても高速データ転送が可能であり、かつ動作時の消費電流が少ないという特徴を有するため、ロジック内蔵DRAMなどのシステムLSIへの期待が大きい。しかしながら、DRAMには、リフレッシュにかかわる複雑なメモリコントロールが必要であるため、DRAMをSRAMの代替メモリとして採用することとは簡単ではない。

【 0 0 3 4 】

本発明の目的は、携帯情報端末等において好適に用いられる S R A M 並みにメモリコントロールを簡素化した D R A M 回路ブロックを内蔵するシステム L S I を実現することである。

【 0 0 3 5 】

【課題を解決するための手段】

請求項 1 に記載の半導体記憶装置は、行および列状に配置される複数のメモリセルを含むメモリアレイと、複数のメモリセルが保持するデータをリフレッシュするために必要な時間間隔で、リフレッシュ要求信号を出力するリフレッシュタイマ回路と、アクセスコマンドに応じて内部コマンド信号を発生するコマンド発生回路と、内部コマンド信号およびリフレッシュ要求信号に応じてメモリアレイの行選択に関連する動作を行なう行選択制御回路とを備え、行選択制御回路は、内部コマンド信号に応じて活性化し、メモリアレイの行選択動作のタイミング信号を出力するタイミング制御回路と、リフレッシュ要求信号を受けて保持し、タイミング制御回路が非活性状態になったときに内部リフレッシュコマンド信号を出力するリフレッシュ制御回路と、内部リフレッシュコマンド信号に応じて活性化し、タイミング制御回路に代わってタイミング信号を出力するリフレッシュタイミング制御回路とを含み、タイミング信号に応じてメモリアレイの行選択を行なう行選択回路をさらに備える。

【 0 0 3 6 】

請求項 2 に記載の半導体記憶装置は、請求項 1 に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、アクセスコマンドは、読出コマンドを含み、半導体記憶装置がアクセスコマンドを受けてから次のアクセスコマンドを受けることができるまでの基本サイクル時間は、内部コマンド信号が出力されてからメモリアレイよりデータの読出が完了するまでの通常読出サイクル時間と、内部リフレッシュコマンド信号が出力されてからメモリアレイの内部リフレッシュコマンド信号に対応する部分のリフレッシュが完了するまでのリフレッシュサイクル時間との合計時間以上である。

【 0 0 3 7 】

請求項 3 に記載の半導体記憶装置は、請求項 2 に記載の半導体記憶装置に記載

の半導体記憶装置の構成に加えて、リフレッシュ制御回路は、リフレッシュ要求信号を受けて保持するラッチ回路と、ラッチ回路の出力がリフレッシュ要求信号が入力されたことを示し、かつ、タイミング制御回路が非活性化されている場合に内部コマンド信号の基となるパルスを出力するパルス発生回路とを有する。

【 0 0 3 8 】

請求項 4 に記載の半導体記憶装置は、請求項 2 に記載の半導体記憶装置に記載の半導体記憶装置の構成において、コマンド発生回路は、アクセスコマンドを保持し、リフレッシュタイミング制御回路が活性化されている場合には、リフレッシュタイミング制御回路が非活性化されるまで待ってから内部コマンド信号を出力する。

【 0 0 3 9 】

請求項 5 に記載の半導体記憶装置は、請求項 4 に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、コマンド発生回路は、アクセスコマンドを受けて保持するラッチ回路と、ラッチ回路の出力がアクセスコマンドが入力されたことを示し、かつ、リフレッシュタイミング制御回路が非活性化されている場合に内部コマンド信号の基となるパルスを出力するパルス発生回路とを有する。

【 0 0 4 0 】

請求項 6 に記載の半導体記憶装置は、請求項 2 に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、コマンド発生回路は、アクセスコマンドに応じてコマンド発生基準信号を出力する内部コマンド発生回路と、コマンド発生基準信号を少なくともリフレッシュサイクル時間以上遅延させて内部コマンド信号を出力する遅延回路とを含み、リフレッシュ制御回路は、リフレッシュ要求信号を受けて保持し、タイミング制御回路が非活性状態になったときに内部リフレッシュコマンド信号を出力する。

【 0 0 4 1 】

請求項 7 に記載の半導体記憶装置は、請求項 6 に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、リフレッシュ制御回路は、リフレッシュ要求信号を保持するラッチ回路と、ラッチ回路の出力がリフレッシュ要求信号が入力されたことを示し、かつ、タイミング制御回路が非活性状態になったときに内部

リフレッシュコマンド信号の基となるパルスを出力するパルス発生回路とを有する。

【 0 0 4 2 】

請求項 8 に記載の半導体記憶装置は、請求項 2 に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、メモリアレイからの出力を受けて読出データとして保持し出力イネーブル信号を受けて読出データを出力するデータ入出力制御回路をさらに備える。

【 0 0 4 3 】

請求項 9 に記載の半導体記憶装置は、請求項 2 に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、行選択制御回路は、与えられる行アドレスを保持して通常行アドレスを出力するアドレスラッチ回路と、リフレッシュする行に対応するリフレッシュ行アドレスを順次更新して出力するリフレッシュカウンタ回路と、通常行アドレスとリフレッシュ行アドレスとを受けて、内部リフレッシュコマンド信号に応じていずれか一方をメモリアレイの行選択を行なうアドレスとして出力する選択回路とをさらに含む。

【 0 0 4 4 】

請求項 1 0 に記載の半導体記憶装置は、請求項 9 に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、メモリアレイは、独立して行選択動作が可能な複数のバンクを含み、リフレッシュ制御回路は、通常行アドレスが示すバンクとリフレッシュ行アドレスが示すバンクとが一致する場合には、タイミング制御回路が非活性となってから内部リフレッシュコマンド信号を出力する。

【 0 0 4 5 】

請求項 1 1 に記載の半導体記憶装置は、請求項 9 に記載の半導体記憶装置に記載の半導体記憶装置の構成において、アドレスラッチ回路は、与えられる行アドレスをクロック信号に同期して取込む。

【 0 0 4 6 】

請求項 1 2 に記載の半導体記憶装置は、請求項 2 に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、アクセスコマンドをクロック信号に同期して取込み、コマンド発生回路に与えるラッチ回路をさらに備える。

【 0 0 4 7 】

請求項 1 3 に記載の半導体記憶装置は、行および列状に配置される複数のメモリセルを含むメモリアレイと、メモリアレイに対するアクセスコマンドが与えられたことを示すコマンド検出信号とアクセスコマンドに対応する内部コマンド信号とを出力するコマンド検出回路と、内部コマンド信号に応じてメモリアレイの行選択に関連する動作を行なう行選択制御回路とを備え、行選択制御回路は、与えられる行アドレスをコマンド検出信号に応じて取込み内部行アドレスとして保持する保持回路と、行アドレス信号の変化を検出すると第 1 の所定時間経過後に行アドレスと内部行アドレスとを比較して内部行アドレスをメモリアレイの行選択に使用するか否かを判断する比較回路とを含む。

【 0 0 4 8 】

請求項 1 4 に記載の半導体記憶装置は、請求項 1 3 に記載の半導体記憶装置の構成に加えて、比較回路は、行アドレスの変化を検出するアドレス変化検出回路と、アドレス変化検出回路の出力を第 1 の所定時間だけ遅延させる遅延回路と、遅延回路の出力に応じて、行アドレスと内部行アドレスとを比較するアドレス比較部とを含む。

【 0 0 4 9 】

請求項 1 5 に記載の半導体記憶装置は、請求項 1 4 に記載の半導体記憶装置の構成において、アドレス比較部は、アドレス比較結果が不一致の場合には、保持回路に再度行アドレスの取込みを指示する。

【 0 0 5 0 】

請求項 1 6 に記載の半導体記憶装置は、請求項 1 3 に記載の半導体記憶装置の構成に加えて、比較回路は、行アドレスと内部行アドレスとが一致しない時は、保持回路に再度行アドレスの取込みを指示し、行選択制御回路は、コマンド検出信号に応じて第 2 の所定時間経過後に、保持回路に対し内部行アドレスの更新を禁止する遅延回路をさらに含む。

【 0 0 5 1 】

請求項 1 7 に記載の半導体記憶装置は、請求項 1 6 に記載の半導体記憶装置の構成に加えて、第 2 の所定時間は、半導体記憶装置がアクセスコマンドを受けて

から次のアクセスコマンドを受けることができるまでの基本サイクル時間の半分である。

【 0 0 5 2 】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳しく説明する。
なお、図中同一符号は同一または相当部分を示す。

【 0 0 5 3 】

【実施の形態 1】

図 1 は、本発明の DRAM 内蔵システム L S I の構成を概略的に示す図である。

【 0 0 5 4 】

図 1 を参照して、システム L S I 1 は、外部ピン端子群 L P G A に結合され、指令された処理を実行する大規模ロジック L G と、大規模ロジック L G と外部ピン端子群 A P G との間に結合され、アナログ信号についての処理を行なうアナログコア A C R と、大規模ロジック L G に内部配線を介して結合され、この大規模ロジック L G が必要とするデータを格納する DRAM コア M C R と、テストモード時に大規模ロジック L G と DRAM とを切離し、テストピン端子群 T P G を介して DRAM コア M C R に対するテスト動作を行なうためのテストインターフェイス回路 T I C を含む。DRAM コア M C R は、電源ピン端子 P S T を介して電源電圧 V C C を受ける。

【 0 0 5 5 】

アナログコア A C R は、内部のクロック信号を発生する位相同期回路（P L L）、外部からのアナログ信号をデジタル信号に変換するアナログ／デジタル変換器、および大規模ロジック L G から与えられるデジタル信号をアナログ信号に変換して出力するデジタル／アナログ変換器を含む。

【 0 0 5 6 】

DRAM コア M C R は、非同期の汎用 S R A M と同様なメモリコントロールが簡素化された DRAM であり、大規模ロジック L G からコマンドを受けてデータの取込および出力を実行する。

【0057】

図2は、図1におけるDRAMコアMCRの構成を示した概略ブロック図である。

【0058】

図2を参照して、DRAMコアMCRは、データを記憶するメモリアレイMBと、大規模ロジックLGから与えられるたとえば13ビットの外部アドレスA0～A12および大規模ロジックLGから与えられる外部制御信号exREADn、exWRITEnに応じて各種動作を指定する内部制御信号を生成し、ロウブリデコード信号等の行系の制御信号を出力する行選択系回路／コマンド発生系回路16と、外部アドレスA0～A12を受けて列系の選択制御信号を発生する列選択系回路14と、大規模ロジックLGとメモリアレイとの間のデータ授受を行なうデータ入出力制御回路20とを含む。

【0059】

データ入出力制御回路20は、大規模ロジックLGとの間で128ビットのデータ信号DQを授受する。データ入出力制御回路20は、読出時には、出力イネーブル信号OEに応じてメモリアレイから読出されたデータを出力する。

【0060】

メモリアレイMBは、複数のメモリアレイMA0～MA_nと、メモリアレイMA0～MA_nの間に配設されるセンスアンプ帯SB1～SB_nと、メモリアレイMA0およびMA_nの外側に配置されるセンスアンプ帯SB0およびSB_{n+1}を含む。メモリアレイMA0～MA_nの各々は、サブワードドライバ帯SWDBにより複数のサブメモリアレイSMAに分割される。

【0061】

メモリアレイMA0～MA_nの各々において、サブワードドライバ帯SWDBにより分割されるサブメモリアレイSMAに共通にメインワード線MWLが配設される。メインワード線MWLは、対応のメモリアレイの各サブメモリアレイSMAの所定数のサブワード線に対応してそれぞれ配置される。メインワード線MWLおよびセンスアンプ帯上に配置される所定数のサブデコード線SDLが、サブワードドライバ帯SWDB内のサブワードドライバに入力されて、一本のサブ

ワード線が選択される。

【0062】

センスアンプ帯SB1～SBnの各々は、隣接メモリアレイにより共有される。メモリアレイMA0～MANに対応してメインワード線およびサブワード線をロウアドレス信号に従って選択するロウデコーダが配置され、またロウデコーダと整列してコラムアドレス信号に従ってメモリアレイから列を選択するための列選択信号を列選択線CSL上に伝達するコラムデコーダが配置される。

【0063】

列選択線CSLはセンスアンプ帯に配設され、選択時に所定数のセンスアンプ回路を内部データ線対GIOPの群に接続する。内部データ線対GIOPは、所定数がメモリアレイMA0ないしMANをわたって延在して配設され、ローカルデータ線を介して選択されたセンスアンプ回路と結合される。

【0064】

図34に示した従来のDRAMブロックと比べて、サブメモリアレイSMAの大きさを小さくしメモリアレイMBをより多数に分割することにより、ワード線、ビット線の長さが短くなっているため、行選択およびセンスアンプによるセンス動作が高速化される。

【0065】

内部データ線対GIOPは、128ビットから512ビット分設けられ、プリアンプおよびライトドライバを含むデータバス帯DPBに結合される。このデータバス帯DPBにおいては、内部データ線対GIOPそれぞれに対応してプリアンプおよびライトドライバが配置される。内部データ線対GIOPは、書込データおよび読出データ両者を伝達する伝達線対であってもよく、また読出データを伝達するバス線対および書込データを伝達する書込データ線対が別々に内部データバス線対として設けられてもよい。

【0066】

行選択系回路／コマンド発生系回路16に与えられる外部制御信号exREADn、exWRITEnは、図34で外部制御信号の組み合わせで与えられていたデータ読出を指示するリードコマンド、データ書込を指示するライトコマンド

に対応する。外部制御信号 $exREADn$ 、 $exWRITEn$ に応じて、行選択系回路／コマンド発生系回路 16 は、所定の内部コマンド信号を発生する。

【0067】

行選択系回路／コマンド発生系回路 16 は、さらに、外部アドレスビット $A0 \sim A12$ をロウアドレスとして取込み、内部ロウアドレス信号を生成する。

【0068】

列選択系回路 14 は、外部アドレス $A0 \sim A12$ を受けてコラムアドレスを取込み保持し、出力するコラムアドレス入力回路 22 と、コラムアドレスを受けてプリデコードするコラムプリデコーダ 24 とを含む。

【0069】

コラムアドレス入力回路 22 は、内部リードコマンドまたは内部ライトコマンドが与えられると、行選択系回路／コマンド発生系回路 16 の制御の下に、たとえば外部アドレスビット $A0 \sim A12$ のうちアドレスビット $A0 \sim A4$ の下位の部分を取込み、内部コラムアドレス信号を生成する。このコラムアドレス入力回路 22 も、アドレスバッファおよびアドレスラッチを含む。

【0070】

コラムアドレス入力回路 22 からの内部コラムアドレス信号は、コラムプリデコーダ 24 へ与えられる。

【0071】

行選択系回路は、与えられた内部ロウアドレス信号をプリデコードして、プリデコード信号をロウ／コラムデコーダ帯 $RCDB$ に含まれるコラムデコーダへ与える。コラムプリデコーダ 24 は、コラムアドレス入力回路 22 からの内部コラムアドレス信号をプリデコードし、プリデコード信号をロウ／コラムデコーダ帯 $RCDB$ に含まれるコラムデコーダへ与える。

【0072】

コマンド発生系回路は、リードコマンドまたはライトコマンドを受けると、データ入出力制御回路 20 およびデータバス帯 DPB に含まれるプリアンプおよびライトドライバの動作の制御を行なうための内部制御信号を生成する。

【0073】

DRAM回路ブロックは、さらに、内部電圧VPP、VCCS、VCCP、VBLおよびVCPを発生する内部電圧発生回路と、所定の間隔でリフレッシュ要求信号FAYを活性化するセルフリフレッシュタイマを含むブロックPHKを含む。DRAMコアに電源が投入されたときにパワーオンリセットによってリセットされた後、セルフリフレッシュタイマが自動的にリフレッシュ要求信号FAYの活性化を開始するように構成してもよい。また、電源投入後にDRAMコアの外部から図示しない制御信号に応じて行選択系回路/コマンド発生系回路16にコマンドを与え、発生される内部コマンドCOMによってセルフリフレッシュタイマがリフレッシュ要求信号FAYの活性化を開始するように構成してもよい。

【0074】

内部電圧VPPは、選択サブワード線SWL上に伝達される電圧であり、通常、動作電源電圧よりも高い電圧レベルである。電圧VCCSは、センスアンプ帯SB0～SBn+1に含まれるセンスアンプ回路の動作電源電圧であり、図示しない内部降圧回路により生成される。電圧VCCPは、周辺電源電圧であり、ロウ/コラムデコーダ帯RCDBに含まれるロウデコーダおよびコラムデコーダ、データバス帯DPBに含まれるプリアンプおよびライトドライバなどの周辺回路へ与えられる動作電源電圧であり、図示していない内部降圧回路により生成される。電圧VBLは、ビット線プリチャージ電圧である。電圧VCPは、メモリセルのセルプレートへ与えられるセルプレート電圧であり、メモリセルデータのHレベルの電圧およびLレベルの電圧の中間レベルである。これらの電圧VBLおよびVCPは、通常は、アレイ電源電圧（センス電源電圧）VCCSの1/2の中間電圧である。

【0075】

ブロックPHKのセルフリフレッシュタイマは、セルフリフレッシュモードに入ると活性化され、最大リフレッシュ時間tREFmaxで、メモリアレイMA0～MANのすべての行のリフレッシュが1回完了するように、所定の間隔で、リフレッシュ要求信号FAYを発行する。

【0076】

図3は、図2におけるメモリアレイMBの構成を概略的に示した図である。

図3を参照して、メモリアレイMBにおいては、メモリセルアレイは多数のサブメモリアレイSMAに分割されており、複数のサブメモリアレイSMAの各々にサブワードドライバ帯SWDとセンスアンプ帯SAとが配置されている。また、行方向に配置された複数のサブメモリアレイSMAを横断するようにメインワード線MWLが行方向に延びており、メインワード線MWLにサブワードドライバSWDを介して接続されたサブワード線SWLがサブメモリアレイSMA内を行方向に延びている。メインワード線MWLは、ロウデコーダRDの信号に従ってメインワードドライバMWDで駆動される。

【0077】

図4は、図3におけるサブメモリアレイSMAとその周辺に配置されるサブワードドライバSWDおよびセンスアンプSAとの接続関係を概略的に示した図である。

【0078】

図4を参照して、サブメモリアレイSMAは、行列状に配置された複数のメモリセルMCを有している。同一行に配置されたメモリセルMCのゲートには、サブワード線SWLが接続されており、このサブワード線SWLは、サブワードドライバ帯SWDの各ドライバSWD_aに接続されている。同一列に配置されたメモリセルMCは、ビット線対BLおよび／BLのいずれかに接続されている。このビット線対BLおよび／BLは、シェアードゲート信号SHR_bがゲートに入力されているNチャンネルMOSトランジスタNT10、NT11を介して、図4中の上下のいずれかのセンスアンプS/Aに接続されている。

【0079】

なお、センスアンプ帯SAは、図4の横方向に延在して図2に示したセンスアンプ帯SB₀～SB_{m+1}を構成している。センスアンプ帯SAは、NチャンネルMOSトランジスタNT10～NT13を構成要素とする複数のS/Aシェア回路および複数のセンスアンプS/A以外に、NチャンネルMOSトランジスタNT15～NT17を構成要素とする複数のイコライズ回路を有している。このイコライズ回路は、ビット線BL、／BLにプリチャージ電圧VBLを印加するためのものである。

【 0 0 8 0 】

サブワード線 SWL は、メインワード線 MWL の信号とサブデコード線 SDL の信号に従ってサブワードドライバ SWD a によって駆動される。

【 0 0 8 1 】

図 5 は、図 4 におけるメモリセル MC の構成例を示した回路図である。

図 5 を参照して、メモリセル MC は、一方端にセルプレートが接続されセルプレート電位 VCP が与えられるキャパシタ 3 2 と、キャパシタ 3 2 の他方端とビット線 BL との間に接続されゲートがサブワード線 SWL に接続された N チャンネル MOS トランジスタ 3 4 とを含む。

【 0 0 8 2 】

このキャパシタ 3 2 の一方端に接続されているセルプレート CP は、図 4 に示すようにサブメモリアレイ SMA のほぼ全域に分布している。このセルプレート CP は、サブメモリアレイ SMA とサブワードドライバ帯 SWD との境界近傍に延在する VCP 電源線 VCPL に複数個所で接続されることで、セルプレート電位 VCP に固定されている。

【 0 0 8 3 】

以上説明したメモリアレイの構成においては、図 3 4 で説明した従来の DRAM ブロックと比べてロウアドレスアクセスおよびサイクル時間を短くするために、メモリアレイ MA 0 ~ MA m の数をそれぞれのメモリアレイを小さくすることにより増やしており、さらに、メモリアレイ MA m の分割数を増やしてサブメモリアレイ SMA の大きさを従来に比べて小さくしている。したがって、携帯情報端末等に使用されている低速 SRAM の製品規格で決められた、たとえば 7 0 n s のサイクル時間に対して、DRAM の動作が 2 サイクル可能なように構成されている。

【 0 0 8 4 】

図 6 は、図 2 における行選択系回路 / コマンド発生系回路 1 6 の構成を示すブロック図である。

【 0 0 8 5 】

図 6 を参照して、行選択系回路 / コマンド発生系回路 1 6 は、行選択制御回路

41とコマンド発生回路40とを含む。

【0086】

コマンド発生回路40は、外部制御信号 $exWRITE_n$ および $exREAD_n$ を受けて信号 $bufRW$ を出力するAND回路42と、外部制御信号 $exWRITE_n$ および $exREAD_n$ およびリフレッシュ活性化信号 REF_RAS に応じてロウアクティブコマンド信号 ACT_0 を活性化するコマンド入力バッファ／ラッチ回路44と、ロウアクティブコマンド信号 ACT_0 およびワード線駆動タイミング信号 RXT に応じて内部コマンド信号 ACT 、 PRE 、 $intWRITE$ 、 $intREAD$ を出力する内部コマンド発生回路46とを含む。

【0087】

行選択制御回路41は、8個のメモリアレイ $MA_0 \sim MA_7$ に対応して設けられる。メモリアレイ $MA_0 \sim MA_7$ それぞれにおいて、512本のワード線（サブワード線）が配置される。

【0088】

行選択制御回路41は、ロウアドレスイネーブル信号 RAD_E の活性化にตอบสนองして外部から与えられる12ビットのロウアドレスビット $RA<11:0>$ を取り込みラッチする入力バッファ／ラッチ回路52と、リフレッシュ活性化信号 REF_RAS の非活性化にตอบสนองしてそのカウント値をインクリメントするリフレッシュカウンタ54と、リフレッシュ活性化信号 REF に従って入力バッファ／ラッチ回路52およびリフレッシュカウンタ54の出力ビットを選択するセレクタ56と、セレクタ56からの12ビットのロウアドレスのうち、上位3ビットの内部ロウアドレス $RAF<11:9>$ をデコードしてメモリアレイを特定するブロック選択信号 $BS<7:0>$ を生成するブロックデコード回路60と、セレクタ56からの下位9ビットのロウアドレス $RAF<8:0>$ をプリデコードするロウプリデコード回路62とを含む。

【0089】

リフレッシュ活性化信号 REF_RAS は、セルフリフレッシュ要求信号にตอบสนองして所定期間活性状態となり、その間選択されたサブメモリアレイ SMA においてリフレッシュ行の選択およびメモリセルデータのリフレッシュが実行される

【0090】

セクタ56は、このリフレッシュ活性化信号REFの活性化時リフレッシュカウンタ54の出力ビットQA<11:0>を選択し、リフレッシュ活性化信号REFの非活性化時、入力バッファ／ラッチ回路52の出力ビットを選択する。

【0091】

リフレッシュカウンタ54は、リフレッシュ時には、アドレスビットQA<11:0>の範囲でアドレスを1ずつ増加させる。

【0092】

ブロックデコード回路60およびロウプリデコード回路62は、メモリマットのメモリアレイMA0～MA7に共通に設けられてもよく、またメモリアレイMA0～MA7にそれぞれに対応して設けられてもよい。

【0093】

ロウプリデコード回路62が、メモリアレイそれぞれに対応して設けられる場合には、ブロックデコード回路60からのブロック選択信号BS<7:0>に従って、ロウプリデコード回路62が、選択的に活性化され、選択された（指定された）メモリアレイに対して設けられたロウプリデコード回路62がプリデコード動作を実行する。

【0094】

行選択制御回路41は、さらに、セルフリフレッシュタイマから発行されるリフレッシュ要求信号FAY、ノーマル動作信号ACT_RAS、リフレッシュ活性化信号REF_RASに応じてリフレッシュ活性化信号REFを出力するリフレッシュコントロール回路50と、リフレッシュ活性化信号REFが活性化するとロウ系制御タイミング信号を所定のシーケンスで発生するロウ系リフレッシュタイミング制御回路58と、ロウアクティブコマンド信号ACTに応じてロウ系制御タイミング信号を所定のシーケンスで発生するロウ系タイミング制御回路48とを含む。

【0095】

リフレッシュコントロール回路50は、リフレッシュ要求信号FAYが与えら

れると、後に説明するようにリフレッシュ活性化信号 R E F を活性化する。ロウ系リフレッシュタイミング制御回路 5 8 がこのリフレッシュ活性化信号 R E F に従って所定のシーケンスで各制御信号を発生した後、ロウ系リフレッシュタイミング制御回路 5 8 は、センスアンプ活性化信号 S O が活性化されてから所定期間経過後にリフレッシュ活性化信号 R E F _ R A S を非活性化状態に駆動する。これらの一連の動作により、1つのセルフリフレッシュ動作が完了する。リフレッシュ活性化信号 R E F _ R A S が非活性化状態となると、リフレッシュカウンタ 5 4 がリフレッシュアドレス Q A < 1 1 : 0 > を 1 だけ増加させる。

【 0 0 9 6 】

図 7 は、図 6 に示したコマンド入力バッファ／ラッチ回路 4 4 の構成を示す回路図である。

【 0 0 9 7 】

図 7 を参照して、コマンド入力バッファ／ラッチ回路 4 4 は、内部プリチャージコマンド信号 P R E を受けて反転するインバータ 7 2 と、外部ライトコマンド信号 e x W R I T E n が L レベルになるとセットされ、インバータ 7 2 の出力が L レベルになるとリセットされるラッチ回路 7 4 と、ラッチ回路 7 4 の反転出力／Q とリフレッシュ活性化信号 R E F _ R A S とを受ける O R 回路 7 6 と、O R 回路 7 6 の出力を受けてその変化に応じてパルスを発生するパルス発生回路 7 8 とを含む。

【 0 0 9 8 】

コマンド入力バッファ／ラッチ回路 4 4 は、さらに、内部プリチャージコマンド信号 P R E を受けて反転するインバータ 8 2 と、外部リードコマンド信号 e x R E A D n が L レベルになったときにセットされインバータ 8 2 の出力が L レベルになったときにリセットされるラッチ回路 8 4 と、ラッチ回路 8 4 の反転出力／Q とリフレッシュ活性化信号 R E F _ R A S とを受ける O R 回路 8 6 と、O R 回路 8 6 の出力に応じてパルス信号を発生するパルス発生回路 8 8 と、パルス発生回路 7 8、8 8 の出力を受ける O R 回路 9 0 とを含む。O R 回路 9 0 はロウアクティブコマンド信号 A C T 0 を出力する。

【 0 0 9 9 】

図 8 は、図 7 に示したパルス発生回路 7 8 の構成を示す回路図である。パルス発生回路 7 8 は、K.Dosaka et al., "A 90-MHz 16-Mb System Integrated Memory with Direct Interface to CPU" IEICE TRANS ELECTRON VOL.E79-C, pp948-955, NO.7 JULY 1996. に記載されている。

【0100】

図 7、図 8 を参照して、パルス発生回路 7 8 は、入力信号 IN を受けて反転するインバータ 9 1 と、インバータ 9 1 の出力と電源電位とを入力に受ける NAND 回路 9 2 と、NAND 回路 9 2 の出力を受けて反転するインバータ 9 4 と、一方の入力同士が交差結合された NAND 回路 9 6、9 8 と、NAND 回路 9 8 の出力を受けて反転するインバータ 1 0 0 とを含む。インバータ 9 4 の出力は NAND 回路 8 6 の他方の入力に与えられる。

【0101】

パルス発生回路 7 8 は、さらに、インバータ 9 1 の出力とインバータ 1 0 0 の出力とを入力に受ける NAND 回路 1 0 2 と、NAND 回路 1 0 2 の出力を受けて反転するインバータ 1 0 4 と、電源ノードと接地ノードとの間に直列に接続される P チャネル MOS トランジスタ 1 0 8 および N チャネル MOS トランジスタ 1 0 6 と、P チャネル MOS トランジスタ 1 0 8 と N チャネル MOS トランジスタ 1 0 6 の接続ノードの電位を受けて反転し出力信号 OUT を出力するインバータ 1 1 0 とを含む。インバータ 1 0 4 の出力は N チャネル MOS トランジスタ 1 0 6 のゲートに与えられる。また、P チャネル MOS トランジスタ 1 0 8 と N チャネル MOS トランジスタ 1 0 6 の接続ノードの電位は NAND 回路 9 8 の他方の入力に与えられる。

【0102】

パルス発生回路 7 8 は、さらに、出力信号 OUT を受けて遅延する遅延回路 1 1 2 と、遅延回路 1 1 2 の出力を受けて反転し P チャネル MOS トランジスタ 1 0 8 のゲートに与えるインバータ 1 1 4 とを含む。

【0103】

なお、図 7 のパルス発生回路 8 8 は、パルス発生回路 7 8 と同様な構成を有しており説明は繰返さない。

【 0 1 0 4 】

図 9 は、図 8 に示したパルス発生回路 7 8 の動作を説明するための動作波形図である。

【 0 1 0 5 】

図 8、図 9 を参照して、時刻 t_1 において入力信号 I_N が H レベルから L レベルに立下がると、その立下がりエッジに応じて NAND 回路 9 6、9 8 で構成されるラッチ回路がセットされ応じて N チャネル MOS トランジスタ 1 0 6 が導通し出力信号 $O_U T$ が変化する。そして、遅延回路 1 1 2 による遅延後の時刻 t_2 においては P チャネル MOS トランジスタ 1 0 8 が非導通状態となり、NAND 回路 9 6、9 8 で構成されるラッチ回路がリセットされ応じて出力信号 $O_U T$ が再び変化しパルス信号が発生する。

【 0 1 0 6 】

時刻 t_3 における入力信号 I_N の立上がりにおいてはパルス発生回路 7 8 は出力信号 $O_U T$ を変化させることはない。

【 0 1 0 7 】

図 1 0 は、図 6 におけるリフレッシュコントロール回路 5 0 の構成を示す回路図である。

【 0 1 0 8 】

図 1 0 を参照して、リフレッシュコントロール回路 5 0 は、リフレッシュ活性化信号 $R E F_R A S$ を受けて反転するインバータ 1 2 2 と、リフレッシュ要求信号 $F A Y$ の活性化に応じてセットされインバータ 1 2 2 の出力に応じてリセットされるラッチ回路 1 2 4 と、ラッチ回路 1 2 4 の反転出力 $/Q$ とノーマル動作信号 $A C T_R A S$ とを受ける OR 回路 1 2 6 と、OR 回路 1 2 6 の出力を受けパルス信号を発生するパルス発生回路 1 2 8 とを含む。パルス発生回路 1 2 8 の出力は内部リフレッシュコマンド信号 $R E F$ である。

【 0 1 0 9 】

図 1 1 は、図 6 における入力バッファ／ラッチ回路 5 2 の構成を示す回路図である。

【 0 1 1 0 】

図 1 1 を参照して、入力バッファ／ラッチ回路 5 2 は、信号 $b u f R W$ を受けて反転するインバータ 1 2 2 と、インバータ 1 2 2 の出力および信号 $b u f R W$ に応じて活性化して内部ロウアドレス信号 $R A < 1 1 : 0 >$ を伝達するトランスミッションゲート 1 2 4 とを含む。

【 0 1 1 1 】

入力バッファ／ラッチ回路 5 2 は、さらに、トランスミッションゲート 1 2 4 によって伝達された外部ロウアドレス信号 $R A < 1 1 : 0 >$ をラッチするためのラッチを構成するインバータ 1 2 6、1 2 8 と、ロウアドレスイネーブル信号 $R A D E$ を受けて反転するインバータ 1 3 0 と、インバータ 1 3 0 およびロウアドレスイネーブル信号 $R A D E$ に応じて活性化しインバータ 1 2 6 の出力を伝達するトランスミッションゲート 1 3 2 とを含む。

【 0 1 1 2 】

入力バッファ／ラッチ回路 5 2 は、さらに、トランスミッションゲート 1 3 2 によって伝達されたインバータ 1 2 6 の出力を保持するラッチ回路を構成するインバータ 1 3 4 および 1 3 6 とを含む。インバータ 1 3 4 の出力は内部ロウアドレス信号 $i n R A < 1 1 : 0 >$ となる。

【 0 1 1 3 】

なお、図 1 1 の回路図では、1 ビットに対応する構成を代表的に示したが外部ロウアドレス信号 $R A < 1 1 : 0 >$ のビット数に対応して並列的に同様な構成の回路が設けられている。

【 0 1 1 4 】

図 1 2 は、実施の形態 1 におけるロウ系回路の動作を説明するための読出時における第 1 の動作波形図である。

【 0 1 1 5 】

図 6、図 1 2 を参照して、通常の動作においては、図 2 の内部電位発生回路／セルフリフレッシュタイマブロック $P H K$ に含まれるセルフリフレッシュタイマは常に動作しており、リフレッシュ周期ごとにリフレッシュ要求信号 $F A Y$ が発行されている。

【 0 1 1 6 】

時刻 t_1 において外部アドレス信号 $exADR$ が入力されさらに時刻 t_2 において外部リードコマンド信号 $exREADn$ が入力されている場合には内部コマンド発生回路 46 に応じてロウアクティブコマンド信号 ACT が時刻 t_3 において活性化され同時にノーマル動作信号 ACT_RAS が活性化する。

【0117】

時刻 t_4 においてリフレッシュ要求信号が入力された場合であっても、ノーマル動作信号 ACT_RAS が活性化されているときには、リフレッシュコントロール回路 50 は、リフレッシュ要求信号が入力されたことを保持しているが、内部リフレッシュコマンド信号 REF は活性化しない。

【0118】

ロウ系タイミング制御回路 48 はロウアクティブコマンド信号 ACT に応じて所定のタイミングで内部リードコマンド信号 $intREAD$ を活性化し、内部プリチャージコマンド信号 PRE を活性化する。そしてメモリアレイからは内部データ $intD$ が時刻 t_5 において出力される。

【0119】

時刻 t_6 においてノーマル動作信号 ACT_RAS の立下がりに応じてリフレッシュコントロール回路はリフレッシュ要求信号 FAY によってセットされていたラッチの情報に応じて内部リフレッシュコマンド信号 REF を活性化させる。そしてロウ系リフレッシュタイミング制御回路 58 はリフレッシュ活性化信号 REF_RAS を所定の時間だけ活性化されリフレッシュサイクルを生成する。

【0120】

また、外部アドレス信号 $exADR$ が入力された時刻 t_1 から所定のアドレスアクセス時間 tAA だけ経過した後の時刻 t_7 において出力イネーブル信号 OE が活性化されデータ信号 DQ として有効なデータが出力される。

【0121】

内部コマンド信号 ACT が出力されてからメモリアレイよりデータの読出が完了するまでのノーマル動作信号 ACT_RAS の活性化時間を通常読出サイクル時間と呼ぶことにする。また、内部リフレッシュコマンド信号 REF が出力されてからメモリアレイの内部リフレッシュコマンド信号に対応する部分のリフレッ

シュが完了するまでのリフレッシュ活性化信号 REF_RAS の活性化時間をリフレッシュサイクル時間と呼ぶことにする。すると、半導体記憶装置がリードコマンドを受けてから次のリードやライト等のアクセスコマンドを受けることができる基本サイクル時間は、通常読出サイクル時間とリフレッシュサイクル時間との合計時間以上になっている。

【0122】

図13は、ロウ系回路の動作を説明するための読出時の第2の動作波形図である。

【0123】

図6、図13を参照して、外部リードコマンド信号 $exREADn$ に先立ってリフレッシュ要求信号 FAY が入力されると、リフレッシュコントロール回路50はノーマル動作信号 ACT_RAS が非活性化状態にあることを確認し内部リフレッシュコマンド信号 REF を出力する。そして、ロウ系リフレッシュタイミング制御回路58はリフレッシュ活性化信号 REF_RAS を所定の時間活性化してリフレッシュサイクルに入り、リフレッシュカウンタで生成されている内部アドレス $QA<11:0>$ で選択される行すなわち、ブロック選択信号 $BS<15:0>$ で選択されるメモリアレイ内のロウプリデコード信号 $X<19:0>$ で選択されるページに対してリフレッシュ動作に入る。

【0124】

時刻 t_2 において外部アドレス信号 $exADR$ が入力され、時刻 t_3 において外部リードコマンド信号 $exREADn$ が入力されても、コマンド入力バッファ／ラッチ回路44はリフレッシュ活性化信号 REF_RAS が活性化状態にあるためロウアクティブコマンド信号 $ACT0$ を活性化しない。

【0125】

そして、時刻 t_4 においてリフレッシュ活性化信号 REF_RAS が非活性化状態になると、応じてコマンド入力バッファ／ラッチ回路44はロウアクティブコマンド信号 $ACT0$ を活性化し、内部コマンド発生回路46が応じてロウアクティブコマンド信号 ACT を発生する。そして、ロウ系タイミング制御回路48は所定の期間ノーマル動作信号 ACT_RAS を活性化する。この動作に並行し

て、内部コマンド発生回路 4 6 は、ロウアクティブコマンド信号 ACT を発行した後所定のタイミングで内部リードコマンド信号 $int READ$ および内部プリチャージコマンド信号 PRE を順次活性化する。そして時刻 t_5 において内部データ $int D$ がメモリマツトから読出される。

【 0 1 2 6 】

そして、時刻 t_2 からアドレスアクセス時間 t_{AA} 後である時刻 t_6 において出力イネーブル信号 OE の活性化に応じてデータ信号 DQ として有効なデータが出力される。

【 0 1 2 7 】

図 1 4 は、書込時におけるロウ系信号を説明するための第 1 の動作波形図である。

【 0 1 2 8 】

図 6、図 1 4 を参照して、書込時には時刻 t_1 にまず外部入力データがデータ信号 DQ として与えられ、ライトデータとして内部データ $int D$ が保持される。そして、時刻 t_2 において外部アドレス信号 $ext ADDR$ が入力され、続いて時刻 t_3 において外部ライトコマンド信号 $ex WRITE n$ が入力される。すると、時刻 t_4 においてコマンド入力バッファ／ラッチ回路および内部コマンド発生回路 4 6 によってロウアクティブコマンド信号 ACT が発行されノーマル動作信号 ACT_RAS が活性化される。そして、所定のタイミングにおいて内部ライトコマンド信号 $int WRITE$ および内部プリチャージコマンド信号 PRE が発生される。

【 0 1 2 9 】

ノーマル動作信号 ACT_RAS が活性化されている期間中である時刻 t_5 においてリフレッシュ要求信号 FAY が入力された場合であっても、リフレッシュコントロール回路 5 0 は、直ちに内部リフレッシュコマンド信号 REF を活性化させずに時刻 t_6 のノーマル動作信号の非活性化を待ってから内部リフレッシュコマンド信号 REF を活性化させる。そして、ロウ系リフレッシュタイミング制御回路 5 8 においてリフレッシュ活性化信号 REF_RAS が所定の期間活性化されその間にメモリアレイでのリフレッシュが行なわれる。

【0130】

図15は、書込時におけるロウ系回路の動作を説明するための第2の動作波形図である。

【0131】

図6、図15を参照して、時刻 t_1 においてリフレッシュ要求信号 FAY に応じてリフレッシュ動作が開始された後に時刻 t_2 、 t_3 においてそれぞれ外部アドレス信号 $exADR$ 、外部ライトコマンド信号 $exWRITE_n$ がそれぞれ入力された場合には、コマンド入力バッファ／ラッチ回路44は、リフレッシュ活性化信号 REF_RAS の非活性化後にロウアクティブコマンド信号 ACT を発生させるように動作する。

【0132】

外部ロウアドレス $RA<11:0>$ は、外部リードコマンド信号 $exREAD_n$ あるいは外部ライトコマンド信号 $exWRITE_n$ に同期してラッチされた後ロウアドレスイネーブル信号 $RADE$ に同期してブロックデコード回路60あるいはロウプリデコード回路62に送られる。

【0133】

したがって、時刻 $t_4 \sim t_5$ において内部データ $intD$ として保持されている外部から入力されてきたライトデータがメモリアレイに対して書込まれる。

【0134】

以上説明したように、リードサイクルにおいて、内部でのリード動作が最初の第1のサイクルに行なわれても、あるいはリフレッシュサイクルが経過した後の第2のサイクルで行なわれても、アドレスアクセス時間 tAA 時間後に出力イネーブル信号 OE を活性化させて出力データを有効にする。このため、第1のサイクルでリード動作が行なわれた場合には内部データバス上にリードデータを保持しておく。したがって、リードデータが出力されるタイミングはスペック上のアドレスアクセス時間 tAA で規定される。

【0135】

一方、ライトサイクルにおいて第2のサイクルでライト動作が行なわれる場合には、ラッチされた外部入力データは、内部ライトコマンド信号 $intWRITE$

Eが発行されるまで保持される。

【0136】

その後内部コマンド発生回路46においてロウアクティブコマンド信号ACTが活性化されそしてロウ系タイミング制御回路48に入ると各種のロウ系制御信号が生成される。その中のワード線駆動マスタ信号RXTが生成されると、内部コマンド発生回路46において外部コマンドに従って内部リードコマンド信号intREADあるいは内部ライトコマンド信号intWRITEが発生され、さらに、内部プリチャージコマンド信号PREが所定の遅延時間後に発生される。

【0137】

つまり、低速SRAMの製品スペックで決められたサイクル時間内に2サイクルのメモリアレイへのアクセス動作が可能ないようにDRAMのサブメモリアレイの分割を増やしてサイクル時間を短くする。そして、メモリアクセス要求が先に来ている間にリフレッシュ要求が来た場合には、リフレッシュ要求に対する動作をリードまたはライト動作の終了まで待ってから実行する。逆にリフレッシュ最中にメモリアクセス要求が来た場合には、リフレッシュ終了後にメモリアクセス動作を行なう。したがって、DRAMコアの外から見ると、低速SRAMと同様な簡易な制御で動作可能なインターフェイスを提供することができる。

【0138】

〔実施の形態2〕

図16は、実施の形態2において行選択系回路／コマンド発生系回路16に代えて用いられる行選択系回路／コマンド発生系回路216の構成を示すブロック図である。

【0139】

図16を参照して、行選択系回路／コマンド発生系回路216は、コマンド発生回路240と行選択制御回路241とを含む。

【0140】

コマンド発生回路240は、図6に示したコマンド発生回路40の構成においてコマンド入力バッファ／ラッチ回路44に代えてコマンド入力バッファ／ラッチ回路244を含み、さらに、遅延回路251を含む点がコマンド発生回路40

と異なっている。他の構成はコマンド発生回路 4 0 と同様であり説明は繰返さない。遅延回路 2 5 1 は、リフレッシュサイクルの 1 サイクル分に相当する遅延時間だけ入力信号を遅延してロウアクティブ遅延信号 A C T D を出力する 1 サイクル遅延回路 2 5 4 と、ロウアクティブコマンド信号 A C T によってセットされ、ロウアクティブ遅延信号 A C T D によってリセットされ遅延期間表示信号 A C T _ A C T D を出力するラッチ回路 2 5 2 を含む。

【0 1 4 1】

コマンド入力バッファ／ラッチ回路 2 4 4 は、リフレッシュ活性化信号 R E F _ R A S の状態にかかわらずロウアクティブコマンド信号 A C T 0 を内部コマンド発生回路に伝達する点が異なっている。

【0 1 4 2】

行選択制御回路 2 4 1 は、図 6 における行選択制御回路 4 1 の構成において、リフレッシュコントロール回路 5 0 に代えてリフレッシュコントロール回路 2 5 0 を含む点が行選択制御回路 4 1 と異なっている。他の構成は行選択制御回路 4 1 と同様であり説明は繰返さない。

【0 1 4 3】

図 1 7 は、図 1 6 のリフレッシュコントロール回路 2 5 0 の構成を示す回路図である。

【0 1 4 4】

図 1 7 を参照して、リフレッシュコントロール回路 2 5 0 は、リフレッシュ活性化信号 R E F _ R A S を受けて反転するインバータ 2 6 2 と、リフレッシュ要求信号 F A Y に応じてセットされインバータ 2 6 2 の出力に応じてリセットされるラッチ回路 2 6 4 と、ラッチ回路 2 6 4 の反転出力／Q、遅延期間表示信号 A C T _ A C T D およびノーマル動作信号 A C T _ R A S を受ける O R 回路 2 6 6 と、O R 回路 2 6 6 の出力を受けてパルスが発生するパルス発生回路 2 6 8 とを含む。パルス発生回路 2 6 8 は内部リフレッシュコマンド信号 R E F を出力する。

【0 1 4 5】

図 1 8 は、図 1 6 における 1 サイクル遅延回路 2 5 4 の構成を示す回路図であ

る。

【0146】

図18を参照して、1サイクル遅延回路254は、ロウアクティブコマンド信号ACTを受けて所定時間遅延させる直列に接続された遅延部254#1～254#nを含む。遅延部254#nは、ロウアクティブ遅延信号ACTDを出力する。

【0147】

遅延部254#1は、ロウアクティブコマンド信号ACTを受けて反転するインバータ272と、インバータ272の出力ノードと電源ノードとの間に結合されるキャパシタ274と、インバータ272の出力ノードと接地ノードとの間に結合されるキャパシタ276と、インバータ272の出力を受けて反転して出力するインバータ278とを含む。遅延部254#2～254#nは遅延部254#1と同様な構成を有するため説明は繰返さない。

【0148】

遅延部254#1～254#nの直列に接続される個数は、リードコマンドあるいはライトコマンドが入ったときにフレッシュ活性化期間に相当する第1のサイクル時間分だけ遅延させるように調整され、1サイクル遅延回路254は、ロウアクティブ遅延信号ACTDを発生する。

【0149】

図19は、実施の形態2におけるロウ系信号の説明をするための動作波形図である。

【0150】

図16、図19を参照して、時刻t1においてリフレッシュ要求信号がリードサイクルあるいはライトサイクルに入る前に発行された場合、リフレッシュ要求信号FAYに応じて内部リフレッシュコマンド信号REFが活性化され、さらにリフレッシュ活性化信号REF__RASが活性化される。

【0151】

時刻t2、t3において、それぞれ外部アドレス信号exADRおよび外部リードコマンド信号exREADnが入力される。入力された外部リードコマンド

信号 $exREADn$ に応じて発生されたロウアクティブコマンド信号 ACT は、チップ内部がリフレッシュ動作中であるなしにかかわらず、1 サイクル遅延回路 254 によって第 1 のサイクル時間分だけ遅延されてロウアクティブ遅延信号 $ACTD$ としてロウ系タイミング制御回路 48 に伝達される。遅延期間である間はラッチ回路 252 によって遅延期間表示信号 ACT_ACTD が活性化されている。したがって、この遅延されている期間の間にリフレッシュ要求信号 FAY に応じたりフレッシュサイクルを終了させることができる。

【0152】

時刻 t_4 において 1 サイクル時間分遅延されたロウアクティブ遅延信号 $ACTD$ が活性化されるとロウ系タイミング制御回路 48 がノーマル動作信号 ACT_RAS を活性化しさらにワード線駆動マスタ信号 RXT に応じてその後内部リードコマンド信号 $intREAD$ および内部プリチャージコマンド信号 PRE が所定のタイミングで順次活性化される。そして、時刻 t_5 においてメモリアレイからデータが読出され、その後データ信号 DQ として有効なデータが出力される。

【0153】

図 20 は、実施の形態 2 におけるロウ系信号の説明をするための第 2 の動作波形図である。

【0154】

図 16、図 20 を参照して、遅延期間表示信号 ACT_ACTD またはノーマル動作信号 ACT_RAS が活性化されている場合にリフレッシュ要求信号 FAY が入力された場合について述べる。

【0155】

時刻 t_1 において外部アドレス信号 $exADR$ が入力され、時刻 t_2 において外部リードコマンド信号 $exREADn$ が入力されると、図 19 で示した場合と同様にロウアクティブコマンド信号 ACT が所定の時間だけ遅延されたロウアクティブ遅延信号 $ACTD$ が発生され応じてノーマル動作信号 ACT_RAS が活性化されて時刻 $t_4 \sim t_6$ の間に読出動作が行なわれる。

【0156】

そして、時刻 t_6 においてノーマル動作信号 ACT_RAS が立下がるとリフ

リフレッシュコントロール回路 2 5 0 は、内部リフレッシュコマンド信号 R E F を活性化させてリフレッシュ動作に入る。

【 0 1 5 7 】

以上説明したように、実施の形態 2 においてはリフレッシュ動作中に読出コマンドあるいは書込コマンドが入力された場合でも、内部のメモリアレイで読出動作または書込動作が行なわれるのは常に所定のリフレッシュ時間後であるため、リフレッシュ動作が終了してから読出または書込動作が行なわれることになる。

【 0 1 5 8 】

一方、リフレッシュが行なわれていないときに読出または書込コマンドが入力された場合には、リフレッシュ要求信号 F A Y が入力されても読出書込のノーマル動作が終了してからリフレッシュ動作が実行される。したがって、複雑なリフレッシュのコントロール信号を与える必要がなく S R A M と同様なインターフェイスで D R A M コアを使用することができる。

【 0 1 5 9 】

〔実施の形態 3〕

図 2 1 は、実施の形態 3 において用いられる D R A M コア M C R a の構成を示したブロック図である。

【 0 1 6 0 】

図 2 1 を参照して、D R A M コア M C R a は、2 バンク構成の D R A M コアであり、メモリアレイ M B に代えてメモリアレイ M B a および M B b を含み、行選択系回路／コマンド発生系回路 1 6 に代えて行選択系回路／コマンド発生系回路 3 1 6 を含む点が図 2 に示した D R A M コア M C R と異なる。他の部分は D R A M コア M C R と同様であり説明は繰返さない。

【 0 1 6 1 】

行選択系回路／コマンド発生系回路 3 1 6 からは、ロウ系制御タイミング信号およびロウプリデコード信号が、各バンクごとに別の信号バスで伝達される。

【 0 1 6 2 】

図 2 2 は、図 2 1 における行選択系回路／コマンド発生系回路 3 1 6 の構成を示したブロック図である。

【0163】

図22を参照して、行選択系回路／コマンド発生系回路316は、コマンド発生回路340と行選択制御回路341とを含む。

【0164】

コマンド発生回路340は、図6に示したコマンド発生回路40の構成においてコマンド入力バッファ／ラッチ回路44に代えてコマンド入力バッファ／ラッチ回路344を含み、内部コマンド発生回路46に代えて内部コマンド発生回路446を含む点がコマンド発生回路40と異なっている。他の構成はコマンド発生回路40と同様であり説明は繰返さない。

【0165】

コマンド入力バッファ／ラッチ回路344は、コマンド信号 $exREADn$ 、 $exWRITEn$ が入力されたとき、リフレッシュ活性化信号 REF_RAS および最上位外部ロウアドレス $RA_latch<11>$ の状態に応じてロウアクティブコマンド信号 $ACT0$ を内部コマンド発生回路に伝達する点が異なっている。内部コマンド発生回路346は、ワード線駆動マスタ信号 $RXT<1:0>$ の状態に応じて内部コマンド信号 $ACT<1:0>$ 、 $PRE<1:0>$ を活性化するように構成される点が異なっている。

【0166】

行選択制御回路341は、図6における行選択制御回路41の構成において、リフレッシュコントロール回路50に代えてリフレッシュコントロール回路350を含み、ロウ系タイミング制御回路48に代えてロウ系タイミング制御回路348を含み、ロウ系リフレッシュタイミング制御回路58に代えてロウ系リフレッシュタイミング制御回路358を含む点が行選択制御回路41と異なっている。他の構成は行選択制御回路41と同様であり説明は繰返さない。

【0167】

図22では、2バンクの構成の例においてバンクアドレスは最上位のロウアドレス $RA<11>$ に割付けられており、またたとえば、ロウ系制御タイミング信号は、バンク別に、ロウアクティブコマンド信号 $ACT<1:0>$ 、ワード線駆動マスタ信号 $RXT<1:0>$ 、センスアンプ活性化信号 $SO<1:0>$ 、内部

プリチャージコマンド信号 $PRE<1:0>$ のようにバンクに対応してそれぞれ与えられる。

【0168】

リフレッシュコントロール回路 350 は、各バンクのノーマル動作信号 ACT_RAS および、アドレス $QA<11>$ に応じて内部リフレッシュコマンド信号 REF を発生する。また、ロウ系タイミング制御回路 348、ロウ系リフレッシュタイミング制御回路 358 は、各バンクに対応するロウ系制御タイミング信号を出力する。

【0169】

実施の形態 3 においては、リードやライトサイクルの通常動作を行なおうとするバンクとリフレッシュ中もしくはリフレッシュしようとするバンクとが同一バンクであった場合には、実施の形態 1 や実施の形態 2 で説明したように、DRAM コアは、通常動作またはリフレッシュ動作のいずれか一方を待機させて、その待機させた動作が第 2 のサイクルで行なわれるように制御を行なう。または、DRAM コアは、第 2 のサイクルで行なわれる通常動作が終了してからリフレッシュ動作が行なわれるように制御を行なう。

【0170】

一方、通常動作でアクセスしようとするバンクとリフレッシュ中であったりこれからリフレッシュしようとするバンクとが別のバンクであった場合には、通常動作とリフレッシュ動作とを並行して第 1 のサイクルで行なうように制御することで実行的なリードやライトサイクル時間を短くすることができる。

【0171】

図 22 に示す構成例においては、外部リードコマンド信号 $exREADn$ または外部ライトコマンド信号 $exWRITEn$ が入力された場合に、第 1 のバンクや第 2 のバンクがリフレッシュ中でリフレッシュ活性化信号 REF_RAS 信号が活性化されており、かつ、リフレッシュカウンタの最上位のアドレス $QA<11>$ とバンクアドレスとなる最上位の外部ロウアドレス $RA_latch<11>$ とが一致しておれば、実施の形態 1 の場合と同様にリフレッシュ動作が終わりリフレッシュ活性化信号 REF_RAS が非活性化状態になるまで待ってから第

2のサイクルが生成される。第2のサイクルでは、外部ロウアドレス $RA_latch<11>$ に従ってロウアクティブコマンド信号 $ACT<1>$ または $ACT<0>$ を活性化してロウアクティブ動作に入り、リードやライト動作が行なわれる。

【0172】

最上位アドレス $QA<11>$ と外部ロウアドレス $RA_latch<11>$ が一致していなければ、そのまま、ロウアクティブコマンド信号 $ACT<1>$ または $ACT<0>$ を活性化してロウアクティブ動作に入り、リードやライト動作を行なわれる。

【0173】

一方、リフレッシュ要求信号 FAY が入力されてきた場合において第1のバンクあるいは第2のバンクがロウアクティブ中の場合、すなわち、ノーマル動作信号 $ACT_RAS<0>$ または $ACT_RAS<1>$ が活性化されていた場合には、最上位アドレス $QA<11>$ で指定されるリフレッシュを行なおうとするバンクと通常動作でアクセスを行なおうとするバンクとが一致すると、実施の形態1の場合と同様にノーマル動作信号 $ACT_RAS<0>$ あるいは $ACT_RAS<1>$ が非活性化されるまで待ってから第2のサイクルを生成しリフレッシュ動作に入る。バンクが一致しない場合にはそのままリフレッシュ動作に入る。

【0174】

図23は、2バンク構成にした場合の行選択系回路／コマンド発生系回路の他の例を示したブロック図である。

【0175】

図23に示す構成例においては、外部リードコマンド信号 $exREADn$ あるいは外部ライトコマンド信号 $exWRITEn$ が入力されたときには、実施の形態2の場合と同様に、遅延回路451内部の1サイクル遅延回路454の遅延時間によって、常に第1のサイクル時間分だけ遅延された第2のサイクルからロウアクティブ動作に入る。

【0176】

一方、リフレッシュ要求信号 FAY が入力されてきたときに最上位アドレス Q

A<1:1>で指定されるリフレッシュを行なおうとするバンクと遅延期間表示信号ACT__ACTD<1:0>およびノーマル動作信号ACT__RAS<1:0>から認識されるリードやライトの通常動作を行なおうとするもしくは通常動作中のバンクとが一致する場合には、実施の形態2の場合と同様なリフレッシュ動作開始タイミングの制御を行なう。

【0177】

一方、リフレッシュを行なおうとするバンクとノーマル動作を行なおうとするバンクとが一致していなければそのままリフレッシュ動作に入る。

【0178】

したがって、バンク構成を有する場合にも、SRAMと同様なインタフェースで動作させることが可能なDRAMコアを実現することができる。

【0179】

以上、リフレッシュ動作と通常アクセス動作とが競合した場合の説明をしたが、これを実現する回路構成において、各バンクのロウローカル制御ブロックに、ロウプリデコード信号X<19:0>を保持するラッチ回路を備えてもよい。

【0180】

この際には、ロウアドレスイネーブル信号RADEと内部リフレッシュコマンド信号REFは同時に活性化されないように両者の活性化されるタイミングを適当な時間以上ずらすように制御する。このように制御すれば、リードあるいはライト動作でのロウプリデコード信号X<19:0>とリフレッシュ動作でのロウプリデコード信号X<19:0>が衝突することなく本実施の形態での動作が実現できる。

【0181】

したがって、この場合には、ブロック選択信号BS<7:0>で選択されたロウローカル制御ブロックにロウプリデコード信号X<19:0>を取込んだ後は、ロウローカル制御ブロックにロウプリデコード信号X<19:0>を伝達する信号線バスを開放できる。ロウプリデコード信号のバスをバンク間で共有することができるため、チップ面積を小さくすることができる。

【0182】

〔実施の形態4〕

実施の形態4の半導体記憶装置では、図6に示した外部コマンド入力バッファ／ラッチ回路44および外部ロウアドレスRA<11:0>を受ける入力バッファ／ラッチ回路52が同期型インターフェイスを有する場合を説明する。

【0183】

図24は、実施の形態4において用いられる同期型インターフェイスを説明するための回路図である。

【0184】

図24を参照して、コマンド入力バッファ／ラッチ回路CBLCの前段部には、外部ライトコマンド信号exWRITEnをクロック信号CLK, ZCLKに応じて取込むラッチ回路602と、外部リードコマンド信号exREADnをクロック信号CLK, ZCLKに応じて同期して取込むラッチ回路604とが設けられる。たとえば、実施の形態1の半導体記憶装置を同期化させる場合には、図6で示したコマンド入力バッファ／ラッチ回路44が図24のコマンド入力バッファ／ラッチ回路CBLCに対応する。

【0185】

ラッチ回路602は内部リードコマンド信号intWRITEnをコマンド入力バッファ／ラッチ回路CBLCに対して出力し、ラッチ回路604は、内部リードコマンド信号intREADnをコマンド入力バッファ／ラッチ回路CBLCに向かって出力する。

【0186】

ラッチ回路602は、クロック信号CLKおよびZCLKに応じて外部ライトコマンド信号exWRITEnを取込み内部に伝達するトランSMissionゲート610と、トランSMissionゲート610によって取込まれた外部ライトコマンド信号exWRITEnを受ける直列に接続されたインバータ612、614と、トランSMissionゲート610と相補的に導通しインバータ614の出力をインバータ612の入力に帰還させるためのトランSMissionゲート622と、インバータ614の出力を受けクロック信号CLKおよびZCLKに応じて導通し伝達するためのトランSMissionゲート616と、トランSMission

ンゲート 6 1 6 によって伝達されたデータを受ける直列に接続されたインバータ 6 1 8、6 2 0 と、トランスミッションゲート 6 1 6 と相補的に導通しインバータ 6 2 0 の出力をインバータ 6 1 8 の入力に帰還させるトランスミッションゲート 6 2 4 とを含む。

【0 1 8 7】

インバータ 6 2 0 の出力はラッチ回路 6 0 2 の出力であり、これは内部ライトコマンド信号 `intWRITEn` となる。

【0 1 8 8】

ラッチ回路 6 0 4 はラッチ回路 6 0 2 と同様な構成を有しており説明は繰返さない。

【0 1 8 9】

図 2 5 は、実施の形態 4 において外部ロウアドレスをクロック信号に同期して入力するための入力バッファ／ラッチ回路 5 5 2 の構成を示すブロック図である。

【0 1 9 0】

図 2 5 を参照して、入力バッファ／ラッチ回路 5 5 2 は、外部ロウアドレス信号 `RA<11:0>` をクロック信号 `CLK` および `ZCLK` に応じて同期化して取込むラッチ回路 6 3 2 と、ラッチ回路 6 3 2 の出力を信号 `bufRW` およびロウアドレスイネーブル信号 `RADE` に応じて取込み内部ロウアドレス信号 `inRA<11:0>` を出力するラッチ回路 6 3 4 とを含む。

【0 1 9 1】

図 2 5 に示した入力バッファ／ラッチ回路 5 5 2 は、図 6 における入力バッファ／ラッチ回路 5 2 に代えて用いられ、ラッチ回路 6 3 4 の構成は図 6 における入力バッファ／ラッチ回路 5 2 と同様であり説明は繰返さない。また、ラッチ回路 6 3 2 は、図 2 4 で示したラッチ回路 6 0 2 と同様な構成を有するため説明は繰返さない。

【0 1 9 2】

以上説明したように、実施の形態 4 においては、実施の形態 1 で説明した半導体記憶装置の外部リードコマンド信号 `exREADn` および外部ライトコマンド

信号 $e'xWRITEn$ と、さらに外部ロウアドレス信号 $RA<11:0>$ をクロック信号に同期化して取込むインターフェイスを付加したものであり、したがって同期型半導体記憶装置を DRAM コアとして内蔵する場合においても、リフレッシュ制御のための複雑な制御信号を与える必要がない混載用 DRAM コアブロックを実現することができる。

【0193】

なお、実施の形態 2、実施の形態 3 において説明した構成も、同様な同期型インターフェイスを付加すれば同期型半導体記憶装置に適用することが可能となる。

【0194】

以上説明した実施の形態 1～4 においては、リフレッシュ要求信号 FAY をそのまま使用するかもしくは遅延させて使用して応じて内部リフレッシュコマンド信号 REF を発生させる構成を説明したが、たとえば、リードあるいはライトサイクルに入ったときにまず無条件に内部リフレッシュコマンド信号 REF を活性化するような構成にしてもよい。

【0195】

その際に、既にリフレッシュ要求信号 FAY によるリフレッシュ動作中であった場合には、コマンドに応じて無条件に発生される内部リフレッシュコマンド信号 REF は無効になる。リードあるいはライトサイクルにおいて無条件に発生される内部リフレッシュコマンド信号 REF に従ってリフレッシュがされる場合には、実施の形態 1～実施の形態 4 で説明したような制御を行なえばよい。

【0196】

〔実施の形態 5〕

システム LSI では、図 1 に示したように大規模ロジックと DRAM コアとを組合せてワンチップの LSI とするが、大規模ロジック部 LG は、ユーザの仕様に基づき様々な回路が組み込まれることが多い。このような場合に、大規模ロジックから DRAM コアに与えられるアドレス信号が、一時的に予定していない変化をする場合がある。このような、アドレス信号のノイズによる変化に対して DRAM コアは誤動作しないことが望ましい。

【0197】

図26は、実施の形態5において用いられる行選択系回路／コマンド発生系回路600の構成を示すブロック図である。

【0198】

行選択系回路／コマンド発生系回路600は、図6に示した行選択系回路／コマンド発生系回路16に代えて用いられる。図26を参照して、行選択系回路／コマンド発生系回路600は、行選択系回路／コマンド発生系回路16の構成において、行選択制御回路41に代えて行選択制御回路602を含む。

【0199】

行選択制御回路602は、行選択制御回路41の構成において、入力バッファ／ラッチ回路52、ロウ系タイミング制御回路48に代えてそれぞれ入力バッファ／ラッチ回路604、ロウ系タイミング制御回路606を含む点が行選択制御回路41と異なる。

【0200】

入力バッファ／ラッチ回路604は、ロウアドレス信号 $RA<11:0>$ を信号 $bufRW$ およびロウアドレスイネーブル信号 $RADE$ に応じて取込みロウアドレス信号 $RA_LAT1<11:0>$ としてセレクタ56に与える一方で、制御信号 P を発生しロウ系タイミング制御回路606に与える。

【0201】

他の構成は、図6に示した行選択系回路／コマンド発生系回路16と同様であり説明は繰返さない。

【0202】

図27は、図26における入力バッファ／ラッチ回路604の構成を示す回路図である。

【0203】

図27を参照して、入力バッファ／ラッチ回路604は、ロウアドレス $RA<11:0>$ をラッチして信号 $RA_LAT0<11:0>$ を出力する入力バッファ&ラッチ回路612と、制御信号 P およびロウアドレスイネーブル信号 $RADE$ に応じて信号 $RA_LAT0<11:0>$ を取込み保持し、信号 RA_LAT

1<11:0>を出力するラッチ回路614とを含む。信号RA__LAT1<11:0>は、図26のセレクタ56に与えられる。

【0204】

入力バッファ／ラッチ回路604は、さらに、信号RA__LAT0<11:0>の変化を検出し検出信号ATDを出力するATD発生回路616と、検出信号ATDを遅延させて信号ATD__delayを出力する遅延回路618と、信号ATD__delayに応じて活性化し、信号RA__LAT0<11:0>と信号RA__LAT1<11:0>とを比較する比較回路620とを含む。比較回路620は、制御信号Qを出力する。

【0205】

制御信号Qは、比較回路620が非活性化状態にある場合はLレベルとなる。一方、比較回路620が活性化され比較動作を行ない、信号RA__LAT0<11:0>と信号RA__LAT1<11:0>とが一致した場合には、制御信号QはLレベルのままであり、不一致の場合は制御信号Qは一定時間パルス状にHレベルに活性化される。

【0206】

入力バッファ／ラッチ回路604は、さらに、制御信号Qを遅延させ信号Q__delayを出力する遅延回路622と、信号Q__delay、PREを第1、第2の入力にそれぞれ受ける3入力のNOR回路626と、制御信号QおよびNOR回路626の出力を受けるNOR回路624とを含む。NOR回路626の第3の入力にはNOR回路624の出力が与えられる。

【0207】

入力バッファ／ラッチ回路604は、さらに、NOR回路624の出力を受けて反転するインバータ628と、インバータ628の出力および信号bufRWを受けて制御信号Pを出力するOR回路630とを含む。

【0208】

図28は、図27における入力バッファ&ラッチ回路612とラッチ回路614の構成例を示す回路図である。

【0209】

図 2 8 を参照して、入力バッファ&ラッチ回路 6 1 2 は、ロウアドレス信号 $RA<11:0>$ を受けて反転するインバータ 7 1 2 と、インバータ 7 1 2 の出力を受けて反転し信号 $RA_LAT0<11:0>$ を出力するインバータ 7 1 4 と、インバータ 7 1 4 の出力を受けて反転しインバータ 7 1 4 の入力に帰還させるインバータ 7 1 6 とを含む。

【0 2 1 0】

ラッチ回路 6 1 4 は、制御信号 P を受けて反転するインバータ 7 2 2 と、制御信号 P およびインバータ 7 2 2 の出力に応じて導通し、信号 $RA_LAT0<11:0>$ を伝達するトランсмисシヨンゲート 7 2 4 と、トランсмисシヨンゲート 7 2 4 によって伝達された信号 $RA_LAT0<11:0>$ を受けて反転するインバータ 7 2 6 と、インバータ 7 2 6 の出力を受けて反転してインバータ 7 2 6 の入力に帰還させるインバータ 7 2 8 とを含む。

【0 2 1 1】

ラッチ回路 6 1 4 は、さらに、ロウアドレスイネーブル信号 $RADE$ を受けて反転するインバータ 7 3 0 と、ロウアドレスイネーブル信号 $RADE$ およびインバータ 7 3 0 の出力に応じて導通し、インバータ 7 2 6 の出力を伝達するトランсмисシヨンゲート 7 3 2 と、トランсмисシヨンゲート 7 3 2 によって伝達されたインバータ 7 2 6 の出力を受けて反転し信号 $RA_LAT0<11:0>$ を出力するインバータ 7 3 4 と、インバータ 7 3 4 の出力を受けて反転してインバータ 7 3 4 の入力に帰還させるインバータ 7 3 6 とを含む。

【0 2 1 2】

図 2 9 は、図 2 7 における A T D 回路 6 1 6 の構成例を示す回路図である。

図 2 9 を参照して、A T D 回路 6 1 6 は、信号 $RA_LAT0<0>\sim RA_LAT0<11>$ をそれぞれ受けて遅延させる遅延回路 6 7 2 \sim 6 7 6 と、信号 $RA_LAT0<0>\sim RA_LAT0<11>$ および遅延回路 6 7 2 \sim 6 7 6 の出力をそれぞれ受ける EXOR 回路 6 8 2 \sim 6 8 6 と、EXOR 回路 6 8 2 \sim 6 8 6 の出力を受けて検出信号 A T D を出力する OR 回路 6 8 8 とを含む。

【0 2 1 3】

信号 $RA_LAT0<0>$ が一定時間変化しないときは、遅延回路 6 7 2 の出

力は信号 $RA_LAT0<0>$ と等しいので、EXOR回路の出力はLレベルとなる。信号 $RA_LAT0<0>$ が変化すると、遅延回路 6 7 2 の遅延時間分 EXOR回路 6 8 2 に入力される信号は不一致となるので、EXOR回路 6 8 2 はその遅延時間分の幅を有するパルスを出力する。

【0 2 1 4】

他のアドレス信号ビット $RA_LAT0<1>\sim RA_LAT0<11>$ に対しても同様に変化が検出され、OR回路 6 8 8 によっていずれかのアドレスビットが変化したときに検出信号 ATD としてパルスが出力される。

【0 2 1 5】

図 3 0 は、図 2 6 におけるロウ系タイミング制御回路 6 0 6 の構成を示す回路図である。

【0 2 1 6】

図 3 0 を参照して、ロウ系タイミング制御回路 6 0 6 は、信号 ACT と信号 PRE とをそれぞれ一方の入力に受け、出力が互いに他方の入力に交差結合される NAND回路 6 4 2、6 4 4 と、NAND回路 6 4 2 の出力を受けて反転し信号 ACT_RAS を出力するインバータ 6 4 6 と、NAND回路 6 4 2 の出力を受けて入力波形の立上りエッジを遅延させる立上り遅延回路 6 4 8 と、立上り遅延回路 6 4 8 の出力を受けて入力波形の立下りエッジを遅延させる立下り遅延回路 6 5 0 とを含む。立下り遅延回路 6 5 0 は、ロウアドレスイネーブル信号 $RAD E$ を出力する。

【0 2 1 7】

ロウ系タイミング制御回路 6 0 6 は、さらに、NAND回路 6 4 2 の出力を受けて入力波形の立上りエッジを遅延させる立上り遅延回路 6 5 2 と、立上り遅延回路 6 5 2 の出力を受けて入力波形の立下りエッジを遅延させる立下り遅延回路 6 5 4 と、制御信号 P を受けて反転するインバータ 6 5 6 と、インバータ 6 5 6 の出力と立下り遅延回路 6 5 4 の出力とを受けてワード線駆動タイミング信号 RXT を出力するAND回路 6 5 8 とを含む。

【0 2 1 8】

ロウ系タイミング制御回路 6 0 6 は、さらに、NAND回路 6 4 2 の出力を受

けて入力波形の立上リエッジを遅延させる立上り遅延回路 6 6 0 と、立上り遅延回路 6 6 0 の出力を受けて入力波形の立下リエッジを遅延させる立下り遅延回路 6 6 2 と、制御信号 P を受けて反転するインバータ 6 6 4 と、インバータ 6 6 4 の出力波形の立下りを遅延させる立下り遅延回路 6 6 5 と、立下り遅延回路 6 6 5 の出力と立下り遅延回路 6 6 2 の出力とを受けてセンスアンプ活性化信号 S O を出力する AND 回路 6 6 6 とを含む。

【0 2 1 9】

図 3 1 は、行選択系回路／コマンド発生系回路 6 0 0 の動作を説明するための動作波形図である。

【0 2 2 0】

図 2 6、図 3 1 を参照して、時刻 t_1 において、アドレスノイズ A D N がロウアドレス信号 $RA<11:0>$ に現れる。続いて時刻 t_2 において、コマンド信号 $exREAD$ が入力されると、図 2 6 の AND 回路の出力の信号 $bufRW$ は L レベルに活性化される。すると、図 2 7 の OR 回路の出力である制御信号 P は L レベルに立下り、図 2 8 中のトランスミッションゲート 7 2 4 が閉じるので、ラッチ回路 6 1 4 はアドレスノイズ A D N をラッチする。

【0 2 2 1】

続いて、時刻 t_3 において、正規のアドレスデータ A D 1 がロウアドレス信号 $RA<11:0>$ としてロジック部から与えられる。アドレスデータ A D 1 は、アドレスラッチ 6 1 2 の出力まで伝達される。つまり、信号 $RA_LAT0<11:0>$ としてアドレスデータ A D 1 が出力される。

【0 2 2 2】

信号 $RA_LAT0<11:0>$ の変化に応じて信号 A T D にワンショットパルスが現れる。一方、ラッチ 6 1 4 の入力部のトランスミッションゲート 7 2 4 は、制御信号 P が L レベルであるため閉じている。したがって、信号 $RA_LAT1<11:0>$ としては、アドレスノイズ A D N が出力されている。

【0 2 2 3】

時刻 t_4 において、信号 A T D のパルスが遅延されて信号 ATD_delay にパルスが現れると、図 2 7 の比較回路 6 2 0 によって信号 $RA_LAT0<1$

t : 0>, RA__LAT1<11:0>が比較される。信号RA__LAT0<11:0>はアドレスデータAD1であり、一方信号RA__LAT1<11:0>はアドレスノイズADNであるので、比較の結果信号Qが活性化される。そして、信号Qの変化に応じて制御信号Pが再びHレベルとなり、ラッチ614はデータを取込む。つまり、信号RA__LAT1<11:0>もアドレスデータAD1に変化する。

【0224】

時刻t5において、信号Qの遅延信号Q__delayにパルスが現れると、再び制御信号PはLレベルとなり、ラッチ614のデータは確定する。また、制御信号Pの立下りに応じて図30のAND回路658によってワード線駆動タイミング信号RXTが活性化され、また、立下り遅延回路665によって立上りが遅れてAND回路658の出力であるセンスアンプ活性化信号SOも時刻t6に活性化する。

【0225】

時刻t4～t5の間、すなわち遅延回路622によって定まる時間は、制御信号PがHレベルとなる。このHレベルを保持する期間は、正規の内部アドレスAD1から生成されるブロックデコード信号BS<7:0>、プリデコード信号X<19:0>がサブブロック内で処理されるまで、ワード線駆動タイミング信号RXT、センスアンプ活性化信号SOの活性化のタイミングを遅らせるために用いられている。

【0226】

時刻t7において、信号PREに応じてノーマル動作信号ACT__RAS、ワード線駆動タイミング信号RXT、センスアンプ活性化信号SOがLレベルに立下る。

【0227】

以上説明したように、実施の形態5に示した構成とすれば、DRAMコア外部から与えられるリード/ライトコマンドの入力に応じて取込んだアドレスがノイズによるアドレス変化であり、正規のアドレスがその後に入力された場合には、アドレス変化を認識して正規のアドレスに応じてアクセスが行なわれる。

【0228】

〔実施の形態6〕

図32は、実施の形態6において用いられる入力バッファ／ラッチ回路700の構成を示す回路図である。

【0229】

図32を参照して、入力バッファ／ラッチ回路700は、図27に示した入力バッファ／ラッチ回路604の構成に加えて、信号bufRWの波形の立下りを遅延させる立下り遅延回路702と、立下り遅延回路702の出力とOR回路630の出力とを受けるAND回路704とを含む。そして、AND回路704の出力が制御信号Pとなる。他の構成は、入力バッファ／ラッチ回路604と同様であり、説明は繰返さない。

【0230】

図33は、入力バッファ／ラッチ回路700の動作を簡単に説明するための動作波形図である。

【0231】

図32、図33を参照して、時刻t1からアドレスアクセスサイクルが開始されるとする。時刻t2にコマンド信号に応じて信号bufRWが変化しアドレスがラッチされるが、後に正規のアドレスが入力された場合は正規のアドレスがラッチされるのは、図31で説明した通りである。

【0232】

時刻t3において、立下り遅延回路702により信号bufRWの立下りが遅延される。立下り遅延回路702の出力波形が、波形W702として示される。この波形W702がAND回路704に与えられるので、制御信号Pは時刻t3～t4の間Lレベルに固定され、この間にロウアドレス信号RA<11:0>に変化が生じたとしてもラッチ回路614に新たなアドレスが取込まれることはない。

【0233】

つまり、時刻t3以降にアドレス変化を検出しても、所定のリードサイクル期間内にデータの読出を終了することができないので、時刻t3以降のアドレス変

化を無効にすることにより、動作の安定化を図っている。

【0234】

再び、図30、図32を参照して、まず、アドレス変化が検出されると、遅延回路618により定められた時間後に比較回路620による比較動作が行われる。続いて、遅延回路622により定められた時間後に制御信号Pが変化するので、ラッチ回路614の出力は確定される。

【0235】

ただし、コマンド入力から立下り遅延回路702で規定される時間経過後にアドレス変化がおこったときは、AND回路704のため制御信号Qは制御信号Pには影響を与えない。また、アドレス変化が検出され比較結果に応じて、いったん制御信号PがHレベルとなっても、立下り制御回路702で規定される時間経過がなされると、遅延回路622の遅延時間経過を待たずして、制御信号はLレベルに立下りラッチ回路614の保持アドレスが確定する。そして、その後、図33の時刻 t_3 以降にワード線の活性化等が行われる。

【0236】

つまり、実施の形態5に示した構成に加えて、リード／ライトコマンドが入力されてから所定の時間経過後のアドレス変化を無効にし、動作の安定化を図るという効果がある。この所定の時間は、図32の立下り遅延回路702の遅延時間によって定められるが、製品規格で定められたサイクル時間とメモリアレイのロウアドレスアクセスのサイクル時間の実力値との差に応じて立下り遅延回路702の遅延時間が設定される。

【0237】

たとえば、図4で説明したように、低速SRAMの製品規格70nsに対してDRAMの動作が2サイクル可能である場合は、立下り遅延回路702の遅延時間は製品規格のリードサイクル時間 t_{RC} の半分の値に設定される。

【0238】

〔他の適用例〕

上述の説明においては、混載DRAMについて説明している。しかしながら、本発明は、一般に、DRAMであれば適用が可能である。

【 0 2 3 9 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 2 4 0 】

【発明の効果】

請求項 1 ～ 3 に記載の半導体記憶装置は、アクセスコマンドが入力され、通常動作が行なわれているときに、リフレッシュ要求信号が発生したときにはメモリアレイにおける通常動作の終了を待ってリフレッシュを行なう。したがって、リフレッシュの制御を意識せず簡単な制御信号を与えることで動作可能な D R A M コアを実現できる。

【 0 2 4 1 】

請求項 4、5 に記載の半導体記憶装置は、請求項 2 に記載の半導体記憶装置の奏する効果に加えて、リフレッシュ要求信号が発生しメモリアレイでリフレッシュ動作が行なわれている場合に、アクセスコマンドが入力されてきたときにはリフレッシュ動作の終了を待って通常の読出、書込等のアクセスを行なう。したがって、リフレッシュの制御を意識せず簡単な制御信号を与えることで動作可能な D R A M コアを実現できる。

【 0 2 4 2 】

請求項 6、7 に記載の半導体記憶装置は、請求項 2 に記載の半導体記憶装置の奏する効果に加えて、アクセスコマンドは、常にリフレッシュサイクル以上遅延されて実行される。したがって、リフレッシュ要求とアクセスコマンドが競合した場合でも、次のサイクルにおいて確実にリフレッシュ動作をすることができる。

【 0 2 4 3 】

請求項 8 に記載の半導体記憶装置は、請求項 2 に記載の半導体記憶装置の奏する効果に加えて、コマンド入力が入力されてからメモリアレイよりデータが出力されるまでの時間が変化する場合でも、データを保持し、出力制御信号でデータ出力

のタイミングを調整するので、DRAMコアから外部に出力されるデータのアドレスアクセス時間を一定に保つことができる。

【0244】

請求項9に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の奏する効果に加えて、アクセスコマンドに対応する行アドレスとリフレッシュに対応する行アドレスとを適切なタイミングでメモリアレイに伝達することができる。

【0245】

請求項10に記載の半導体記憶装置は、請求項9に記載の半導体記憶装置の奏する効果に加えて、メモリアレイに複数のバンクが含まれている場合には、実効的な処理速度を上げることができる。

【0246】

請求項11、12に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の奏する効果に加えて、同期型半導体記憶装置をDRAMコアとして内蔵することができる。

【0247】

請求項13、14に記載の半導体記憶装置は、アドレス信号に予期せぬ短時間のノイズが現れた場合にも、誤ったアドレスからデータを読み出す誤動作を防ぐことができる。

【0248】

請求項15に記載の半導体記憶装置は、請求項14に記載の半導体記憶装置の奏する効果に加えて、ノイズを一旦取込んでも、その後正しいアドレスを再度取込むので正常な動作に復帰させることができる。

【0249】

請求項16、17に記載の半導体記憶装置は、請求項13に記載の半導体記憶装置の奏する効果に加えて、リードサイクル期間にデータを読み出すことができない場合はそれまでに保持していたアドレスに基づきメモリに対するアクセスを行なうので、動作の安定化を図ることができる。

【図面の簡単な説明】

【図1】 本発明のDRAM内蔵システムLSIの構成を概略的に示す図で

ある。

【図 2】 図 1 における D R A M コア M C R の構成を示した概略ブロック図である。

【図 3】 図 2 におけるメモリアレイ M B の構成を概略的に示した図である。

【図 4】 図 3 におけるサブメモリアレイ S M A とその周辺に配置されるサブワードドライバ S W D およびセンスアンプ S A との接続関係を概略的に示した図である。

【図 5】 図 4 におけるメモリセル M C の構成例を示した回路図である。

【図 6】 図 2 における行選択系回路／コマンド発生系回路 1 6 の構成を示すブロック図である。

【図 7】 図 6 に示したコマンド入力バッファ／ラッチ回路 4 4 の構成を示す回路図である。

【図 8】 図 7 に示したパルス発生回路 7 8 の構成を示す回路図である。

【図 9】 図 8 に示したパルス発生回路 7 8 の動作を説明するための動作波形図である。

【図 1 0】 図 6 におけるリフレッシュコントロール回路 5 0 の構成を示す回路図である。

【図 1 1】 図 6 における入力バッファ／ラッチ回路 5 2 の構成を示す回路図である。

【図 1 2】 実施の形態 1 におけるロウ系回路の動作を説明するための読出時における第 1 の動作波形図である。

【図 1 3】 ロウ系回路の動作を説明するための読出時の第 2 の動作波形図である。

【図 1 4】 書込時におけるロウ系信号を説明するための第 1 の動作波形図である。

【図 1 5】 書込時におけるロウ系回路の動作を説明するための第 2 の動作波形図である。

【図 1 6】 実施の形態 2 において行選択系回路／コマンド発生系回路 1 6

に代えて用いられる行選択系回路／コマンド発生系回路 2 1 6 の構成を示すブロック図である。

【図 1 7】 図 1 6 のリフレッシュコントロール回路 2 5 0 の構成を示す回路図である。

【図 1 8】 図 1 6 における 1 サイクル遅延回路 2 5 4 の構成を示す回路図である。

【図 1 9】 実施の形態 2 におけるロウ系信号の説明をするための動作波形図である。

【図 2 0】 実施の形態 2 におけるロウ系信号の説明をするための第 2 の動作波形図である。

【図 2 1】 実施の形態 3 において用いられる D R A M コア M C R a の構成を示したブロック図である。

【図 2 2】 図 2 1 における行選択系回路／コマンド発生系回路 3 1 6 の構成を示したブロック図である。

【図 2 3】 2 バンク構成にした場合の行選択系回路／コマンド発生系回路の他の例を示したブロック図である。

【図 2 4】 実施の形態 4 において用いられる同期型インターフェイスを説明するための回路図である。

【図 2 5】 実施の形態 4 において外部ロウアドレスをクロック信号に同期して入力するための入力バッファ／ラッチ回路 5 5 2 の構成を示すブロック図である。

【図 2 6】 実施の形態 5 において用いられる行選択系回路／コマンド発生系回路 6 0 0 の構成を示すブロック図である。

【図 2 7】 図 2 6 における入力バッファ／ラッチ回路 6 0 4 の構成を示す回路図である。

【図 2 8】 図 2 7 における入力バッファ&ラッチ回路 6 1 2 とラッチ回路 6 1 4 の構成例を示す回路図である。

【図 2 9】 図 2 7 における A T D 回路 6 1 6 の構成例を示す回路図である。

【図 3 0】 図 2 6 におけるロウ系タイミング制御回路 6 0 6 の構成を示す回路図である。

【図 3 1】 行選択系回路／コマンド発生系回路 6 0 0 の動作を説明するための動作波形図である。

【図 3 2】 実施の形態 6 において用いられる入力バッファ／ラッチ回路 7 0 0 の構成を示す回路図である。

【図 3 3】 入力バッファ／ラッチ回路 7 0 0 の動作を簡単に説明するための動作波形図である。

【図 3 4】 従来のシステム L S I に内蔵される D R A M の回路ブロックの構成を概略的に示す図である。

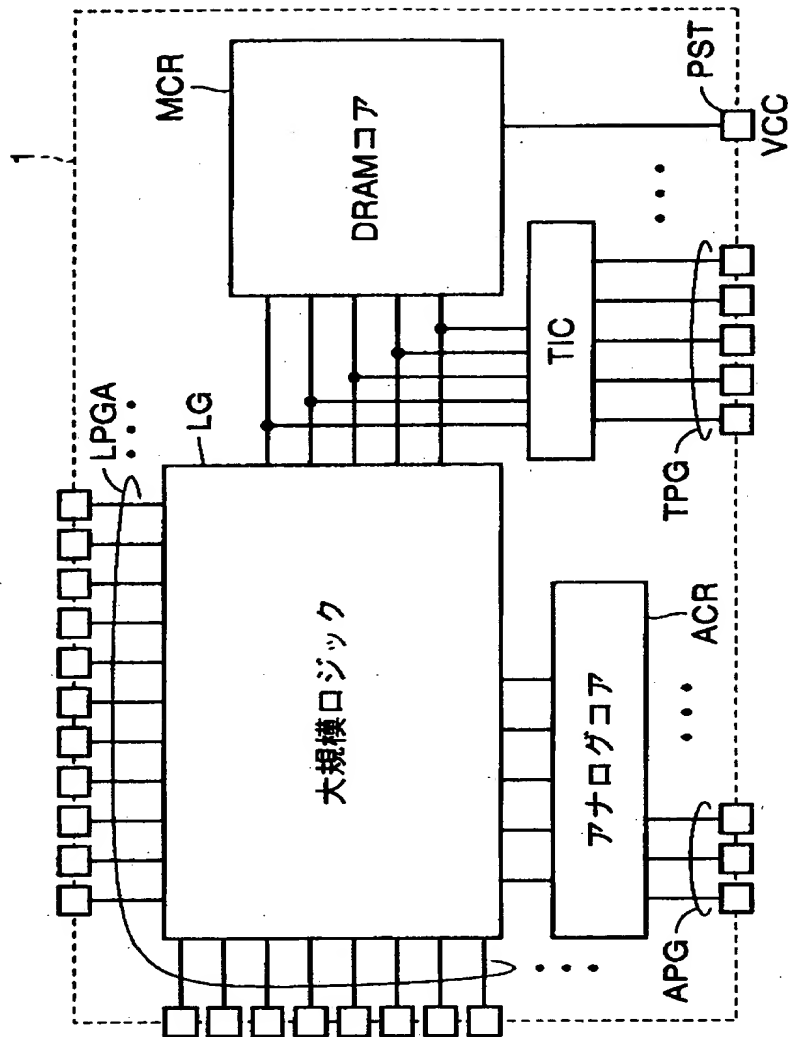
【符号の説明】

1 4 列選択系回路、1 6, 2 1 6, 3 1 6 行選択系回路／コマンド発生系回路、2 0 データ入出力制御回路、4 0, 2 4 0, 3 4 0 コマンド発生回路、4 1, 2 4 1, 3 4 1 行選択制御回路、4 2 A N D 回路、4 4, 2 4 4, 3 4 4 コマンド入力バッファ／ラッチ回路、4 6, 3 4 6, 4 4 6 内部コマンド発生回路、4 8, 3 4 8 ロウ系タイミング制御回路、5 0, 3 5 0 リフレッシュコントロール回路、5 2, 2 5 2 入力バッファ／ラッチ回路、5 4 リフレッシュカウンタ、5 6 セレクタ、5 8, 3 5 8 ロウ系リフレッシュタイミング制御回路、6 0 ブロックデコード回路、6 2 ロウプリデコード回路、7 4, 8 4, 1 2 4, 2 6 4, 5 5 2, 6 0 2, 6 0 4, 6 3 2, 6 3 4 ラッチ回路、7 6, 8 6, 9 0, 1 2 6, 2 6 6 O R 回路、7 8, 8 8, 1 2 8, 2 6 8 パルス発生回路、1 1 2 遅延回路、2 5 0 リフレッシュコントロール回路、2 5 4 1 サイクル遅延回路、M A 0 ~ M A m メモリアレイ、M B, M B a メモリアレイ、M C メモリセル、M C R, M C R a D R A M コア、M W D メインワードドライバ、P H K セルフリフレッシュタイマブロック、R D ロウデコーダ、S B 0 ~ S B m + 1 センスアンプ帯、S M A サブメモリアレイ、S M L サブワード線。

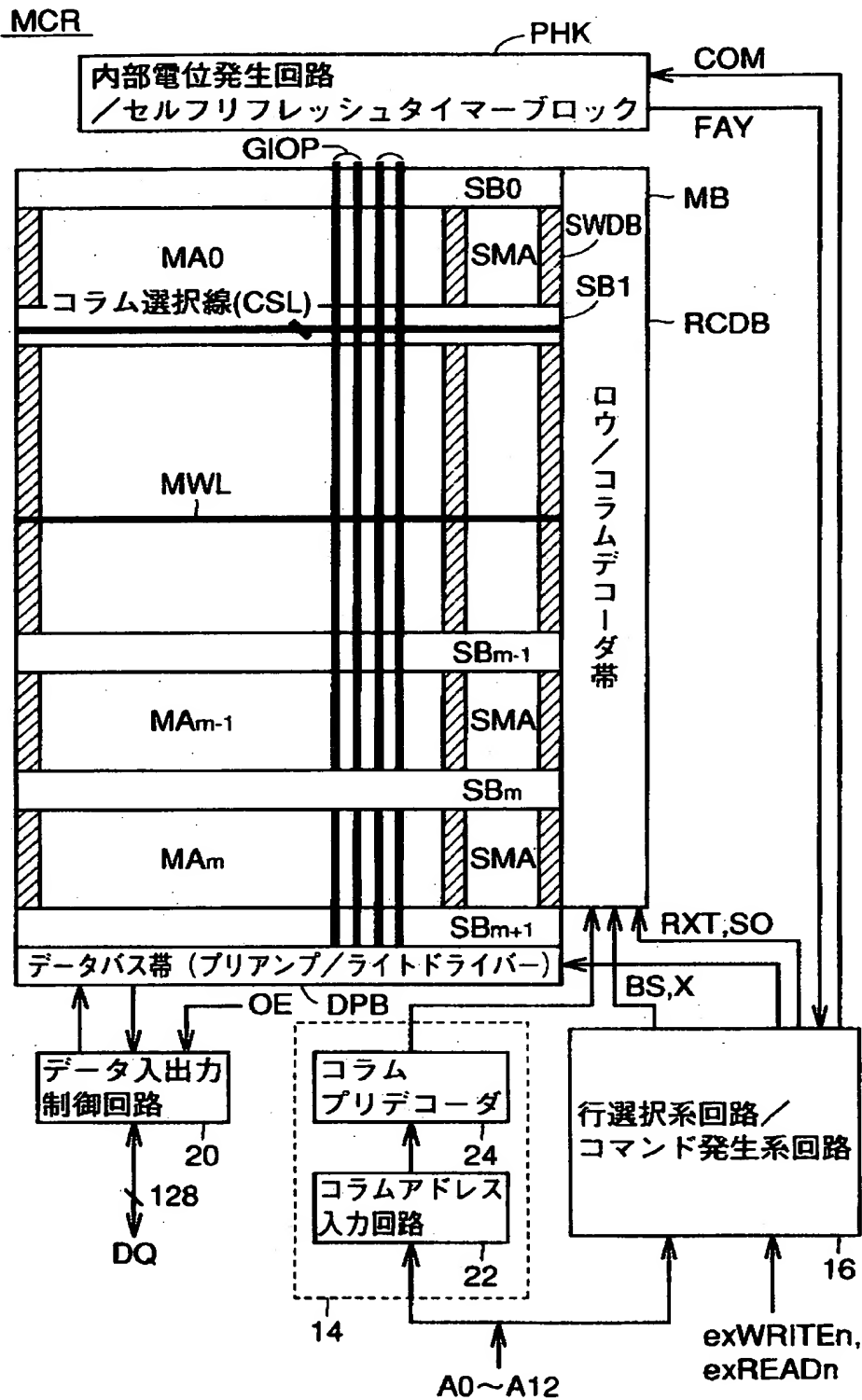
【書類名】

図面

【図 1】

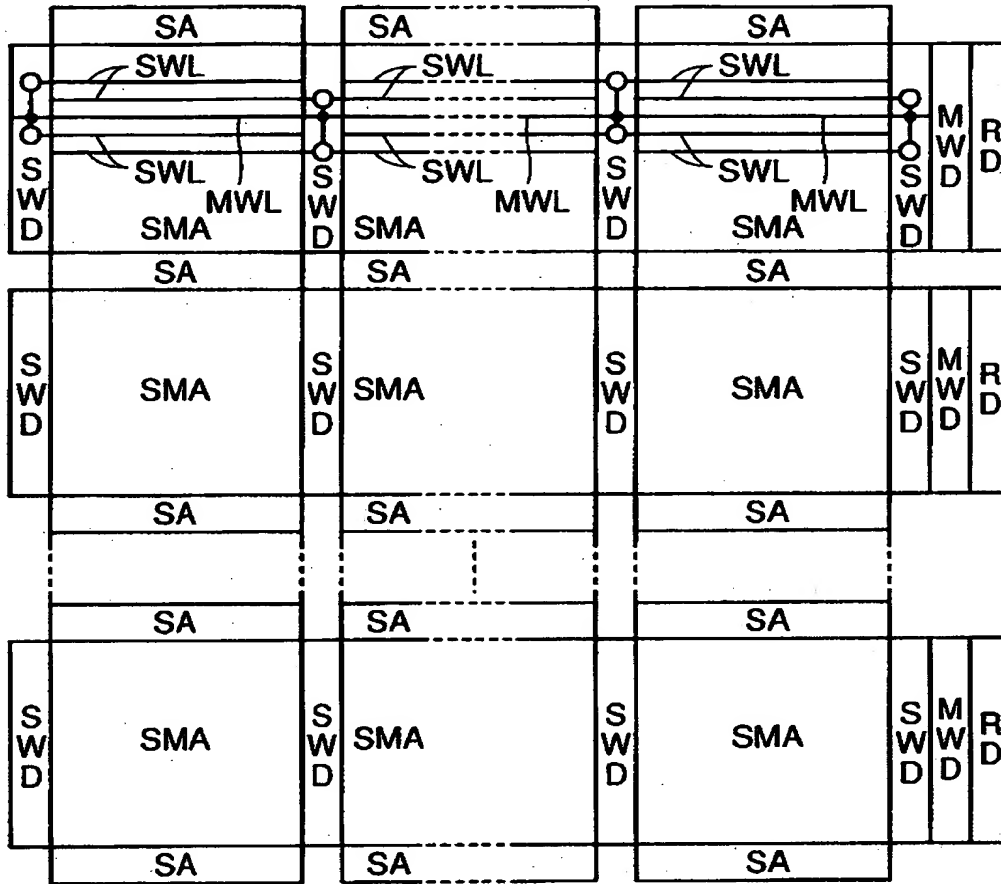


【図 2】

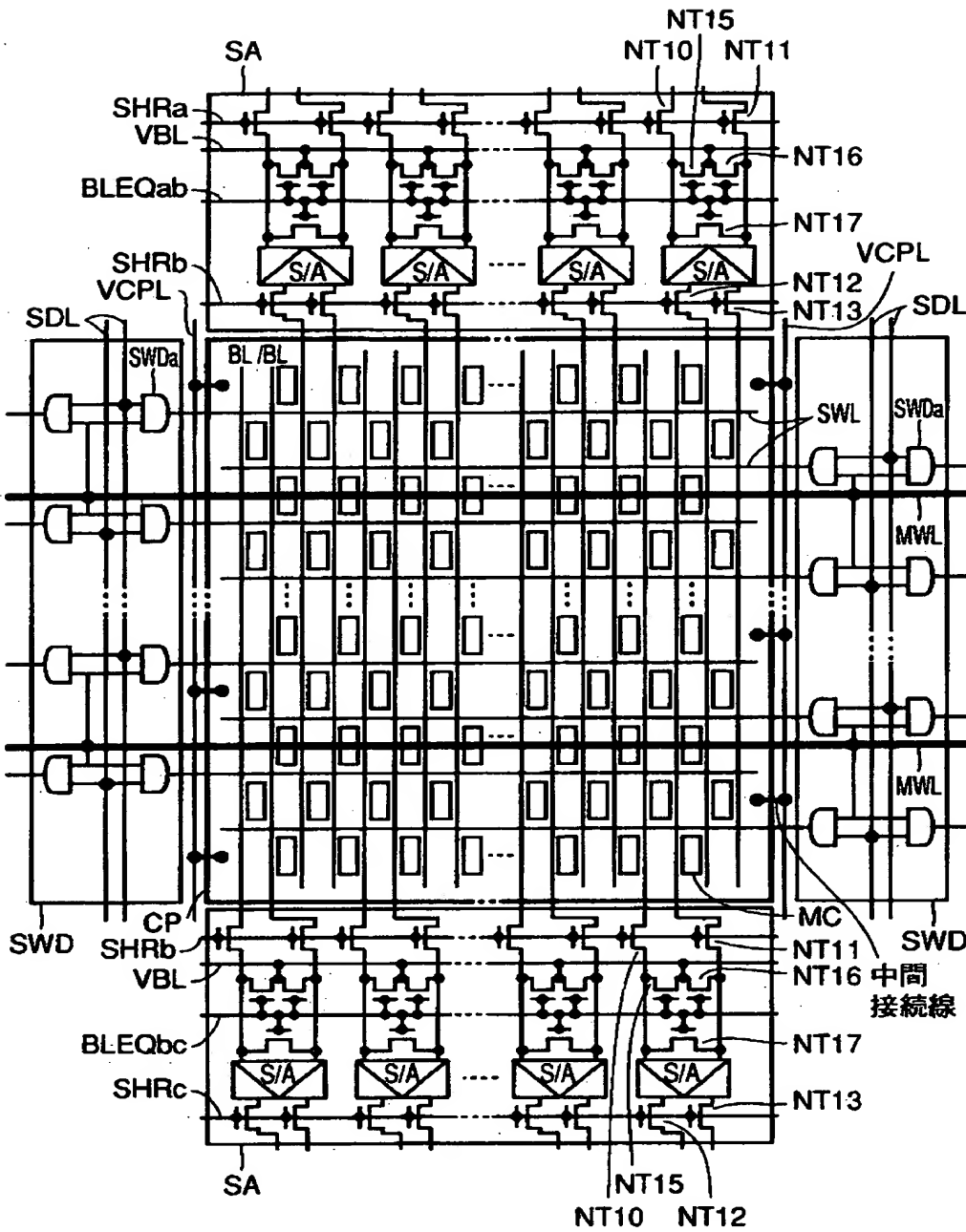


【図 31】

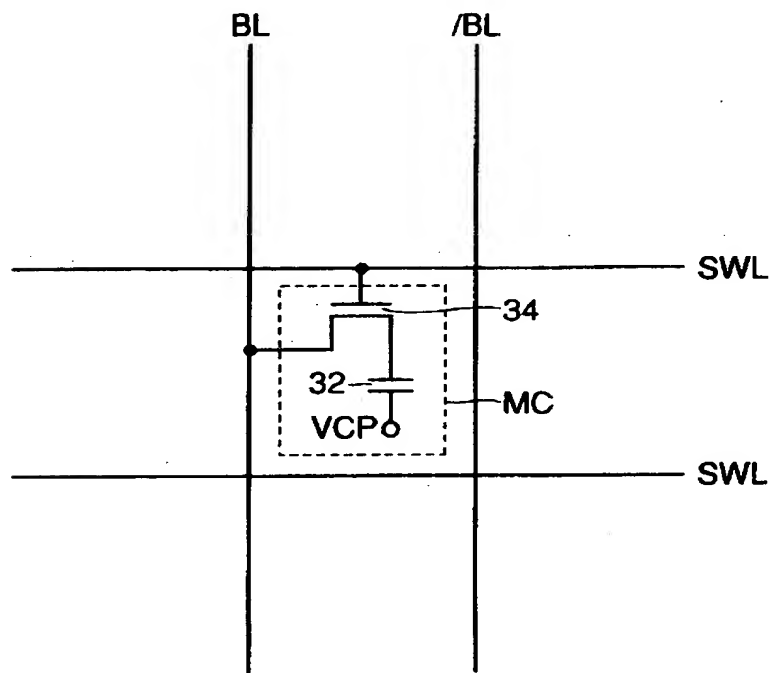
MB



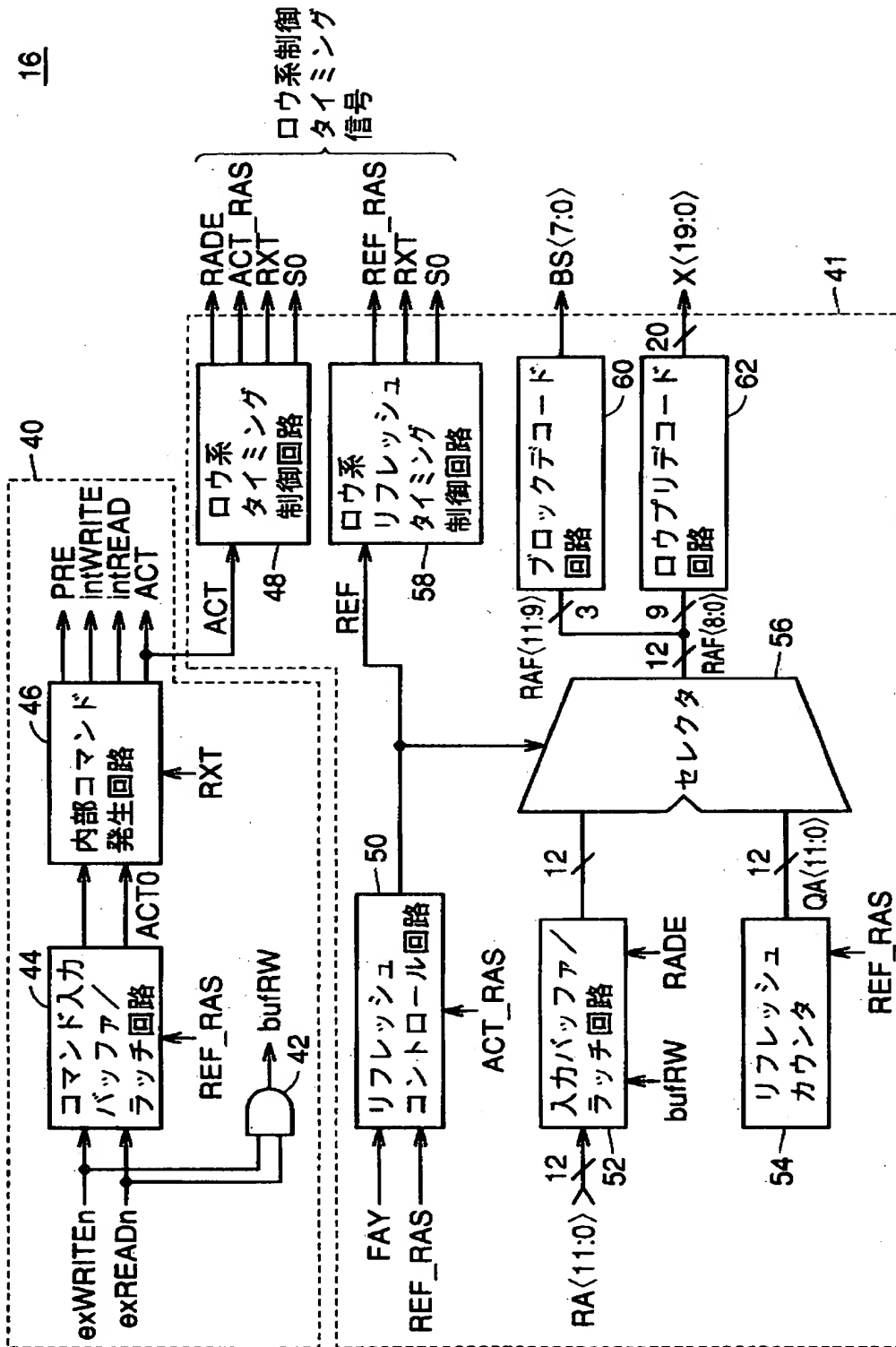
【図4】



【図 5】

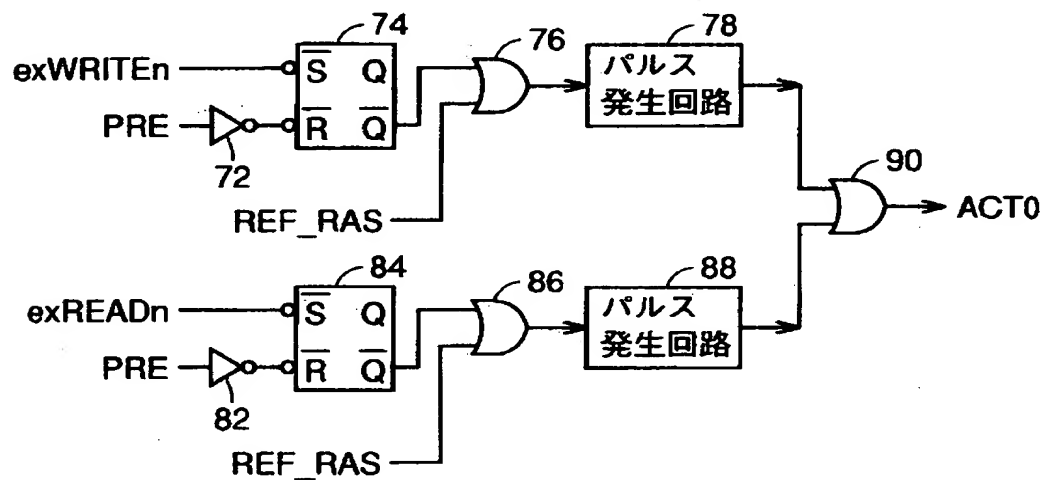


【図6】



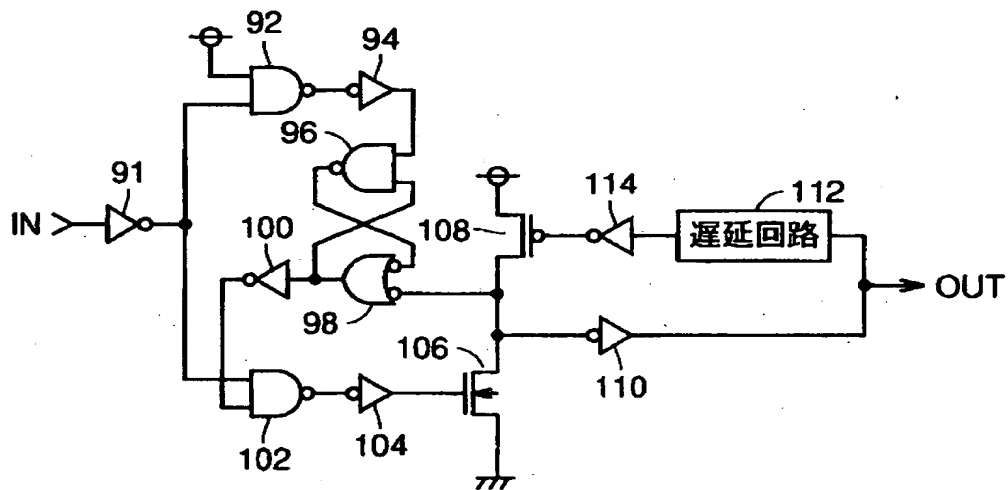
【図 7】

44

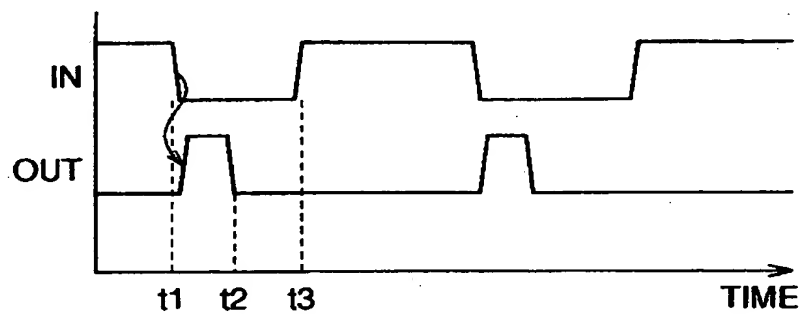


【図 8】

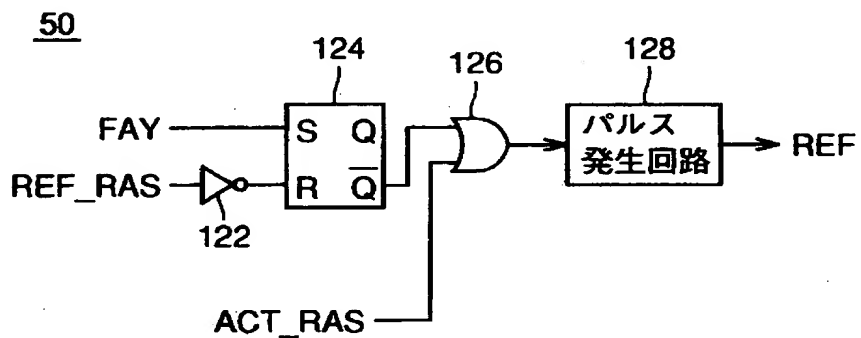
78



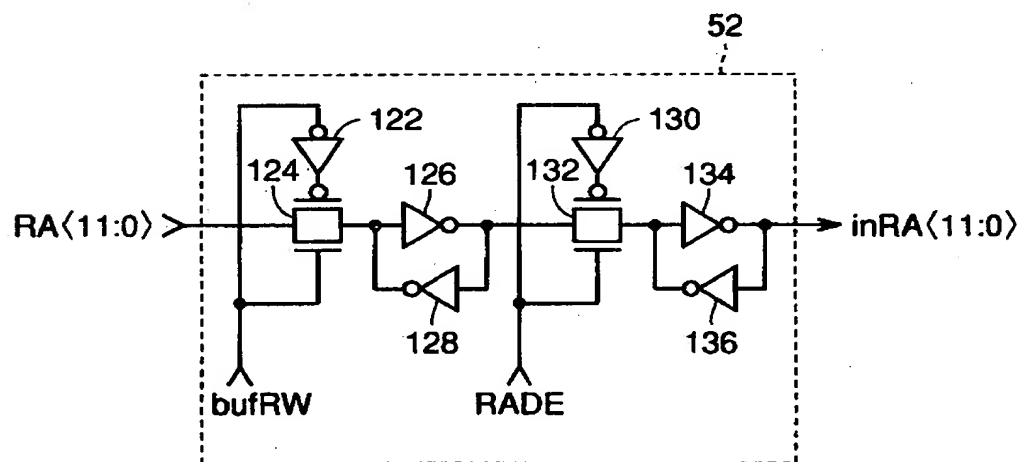
【図 9】



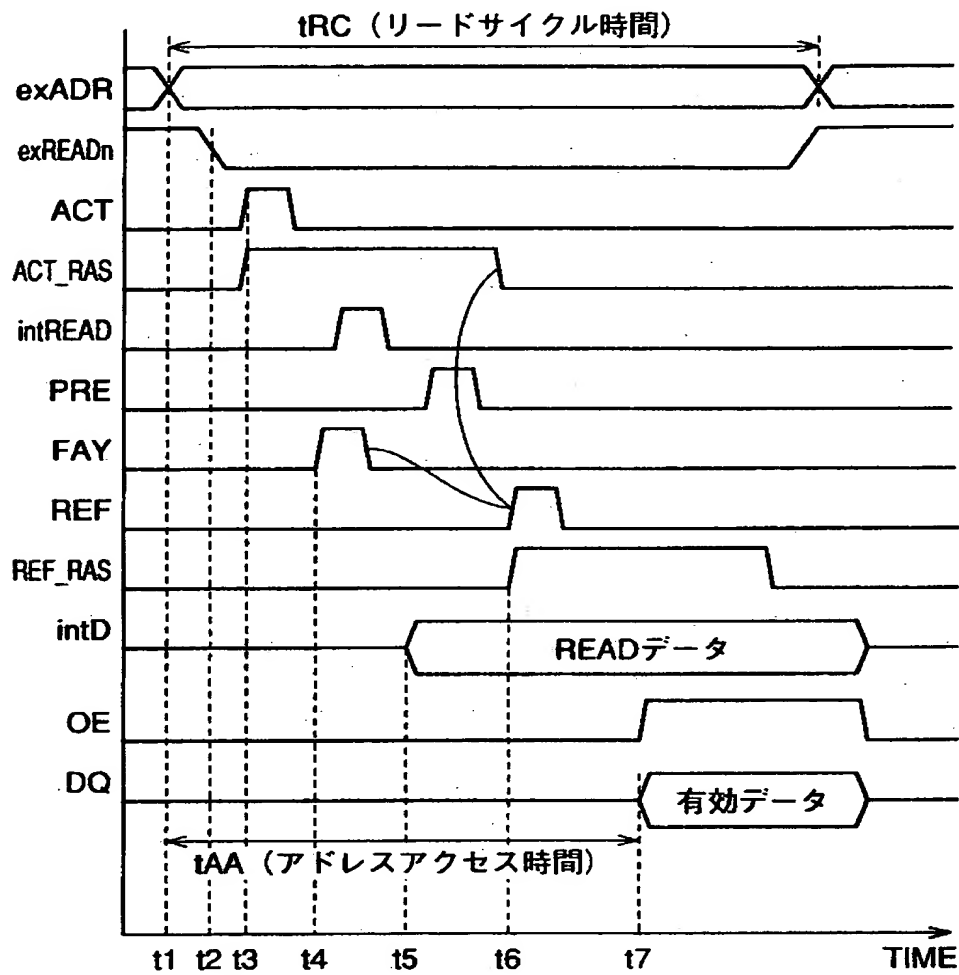
【図 10】



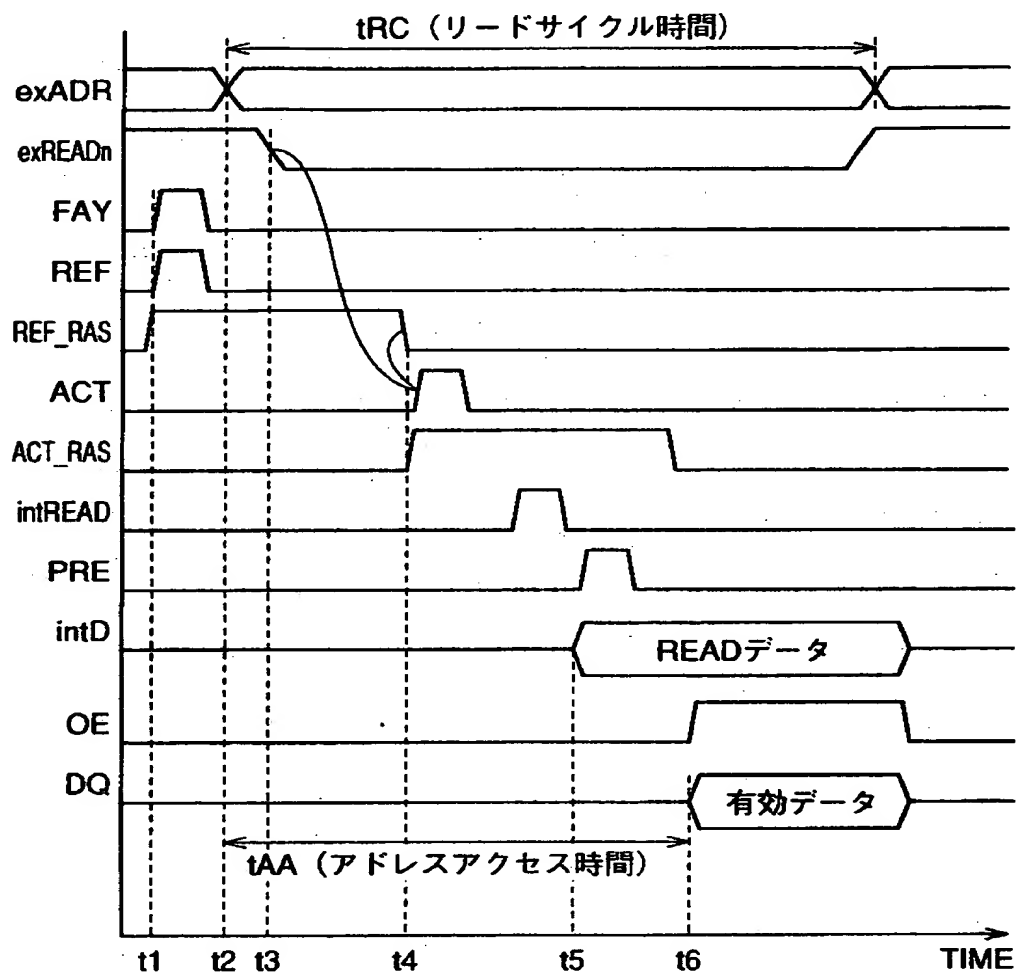
【図 11】



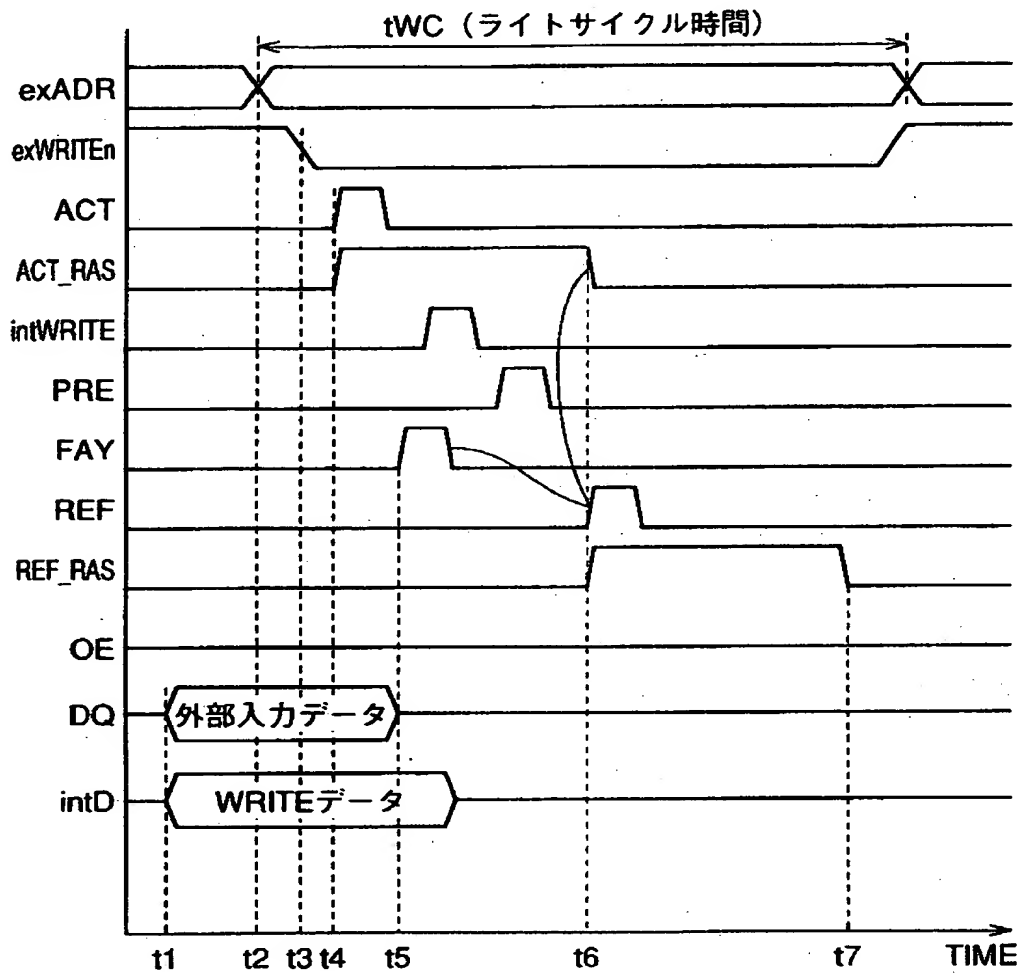
【図12】



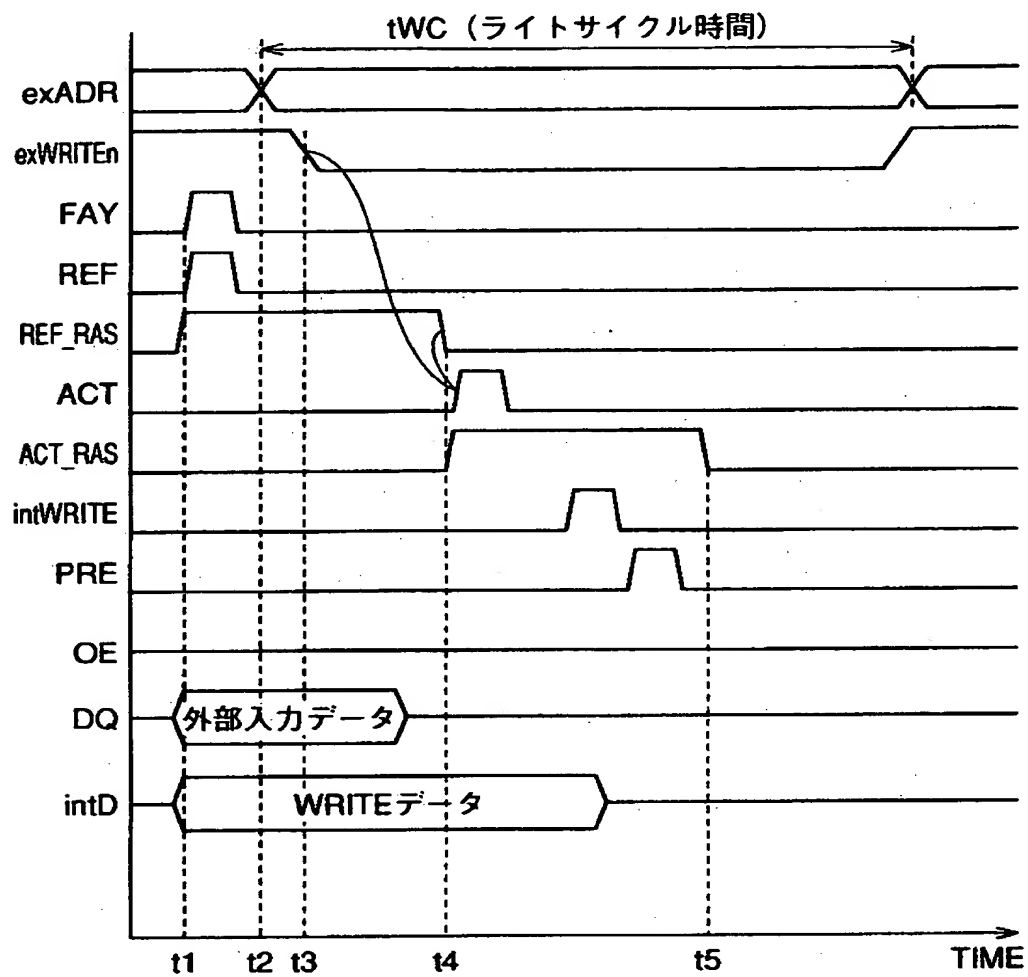
【図13】



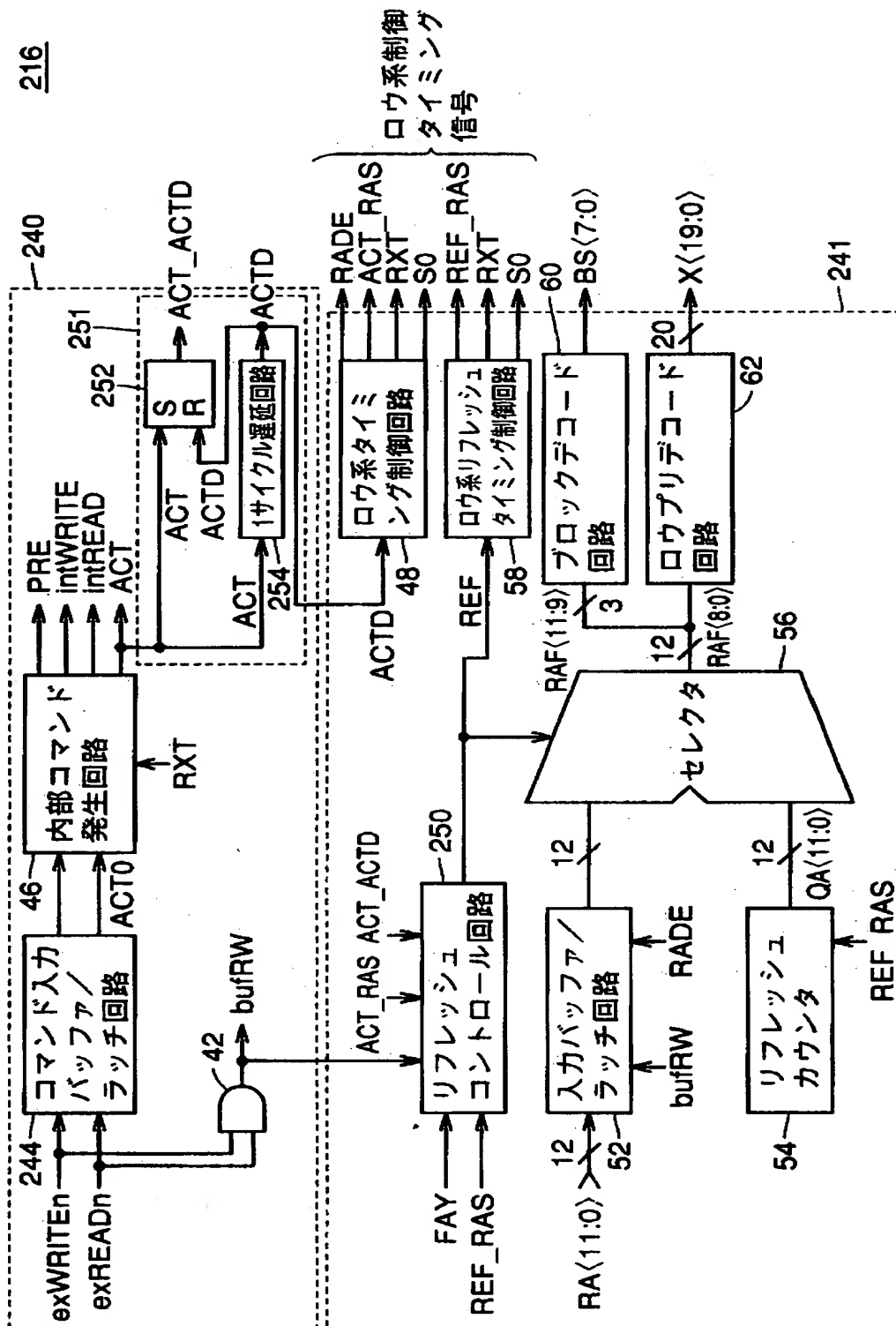
【図 14】



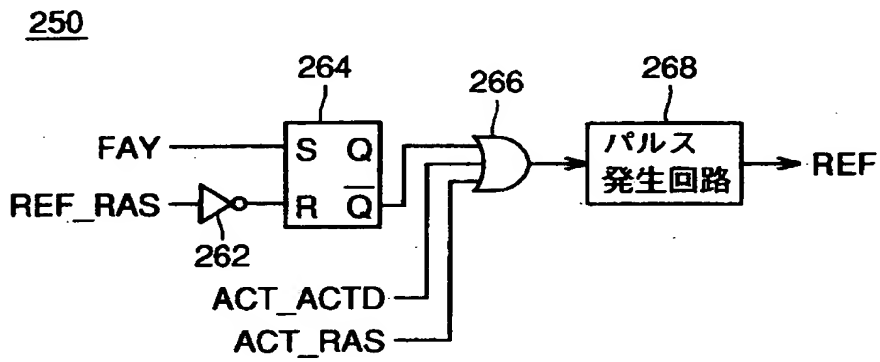
【図 1 5】



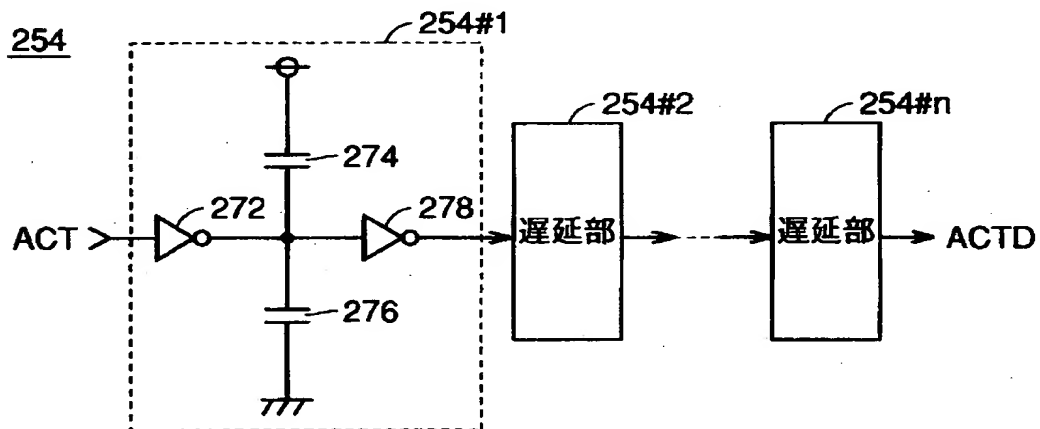
【図 1'6】



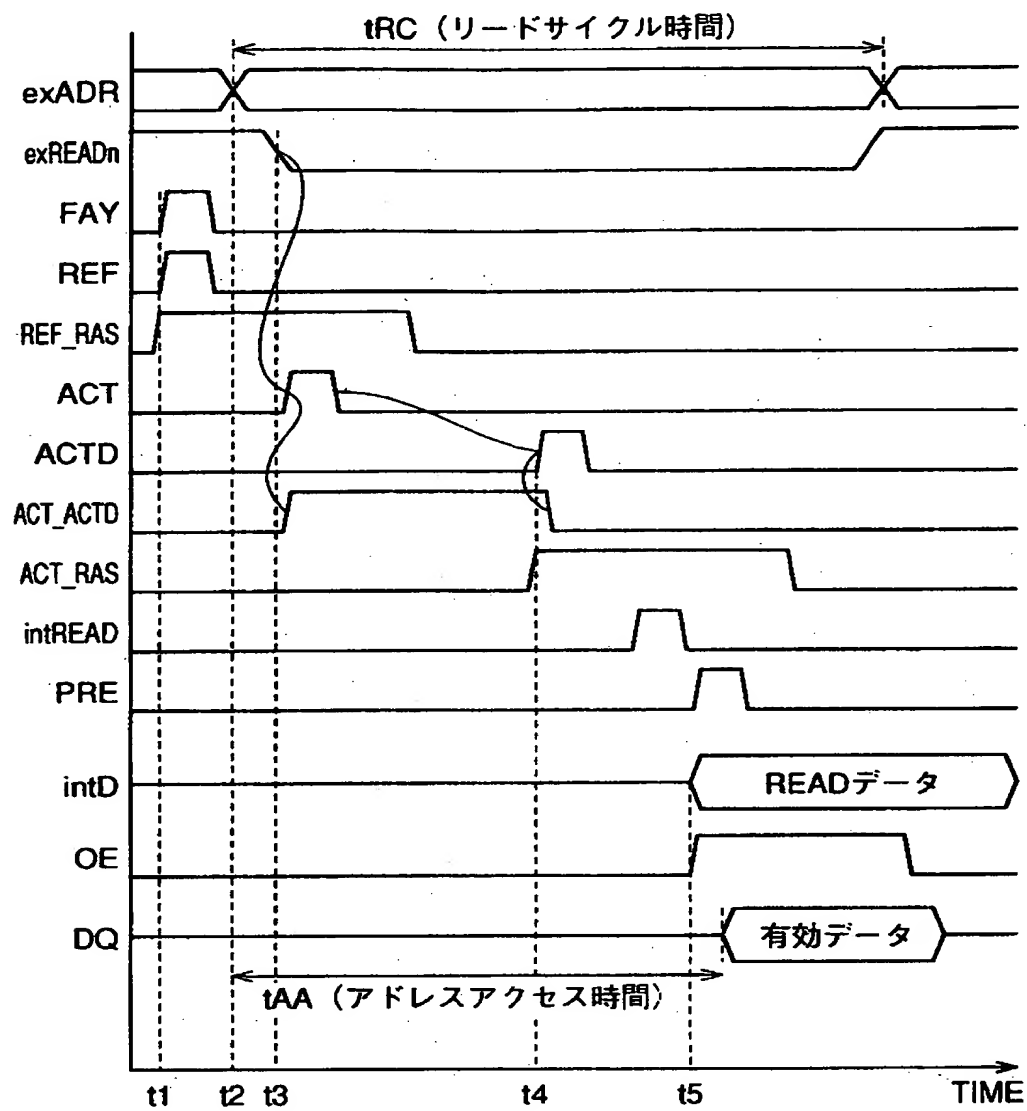
【図 1 7】



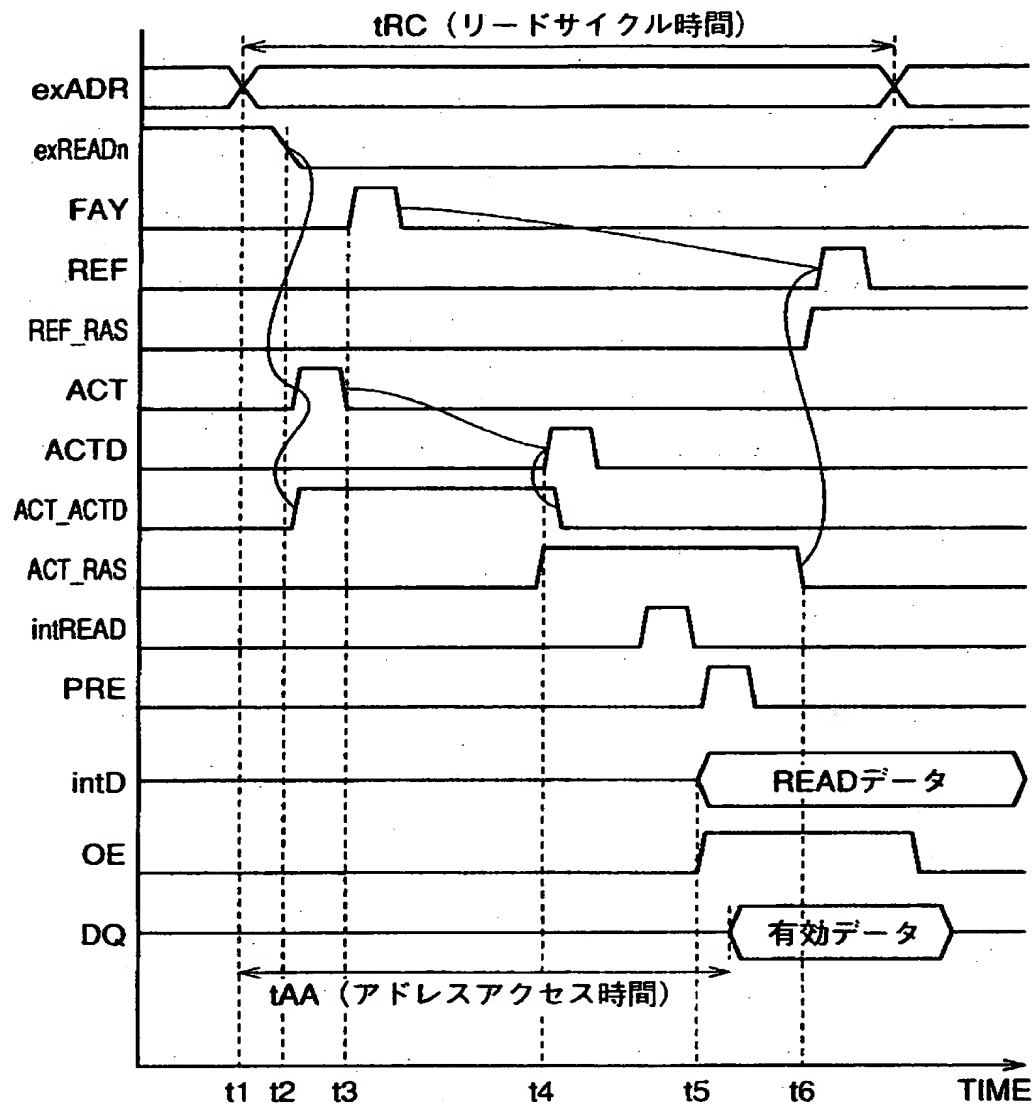
【図 1 8】



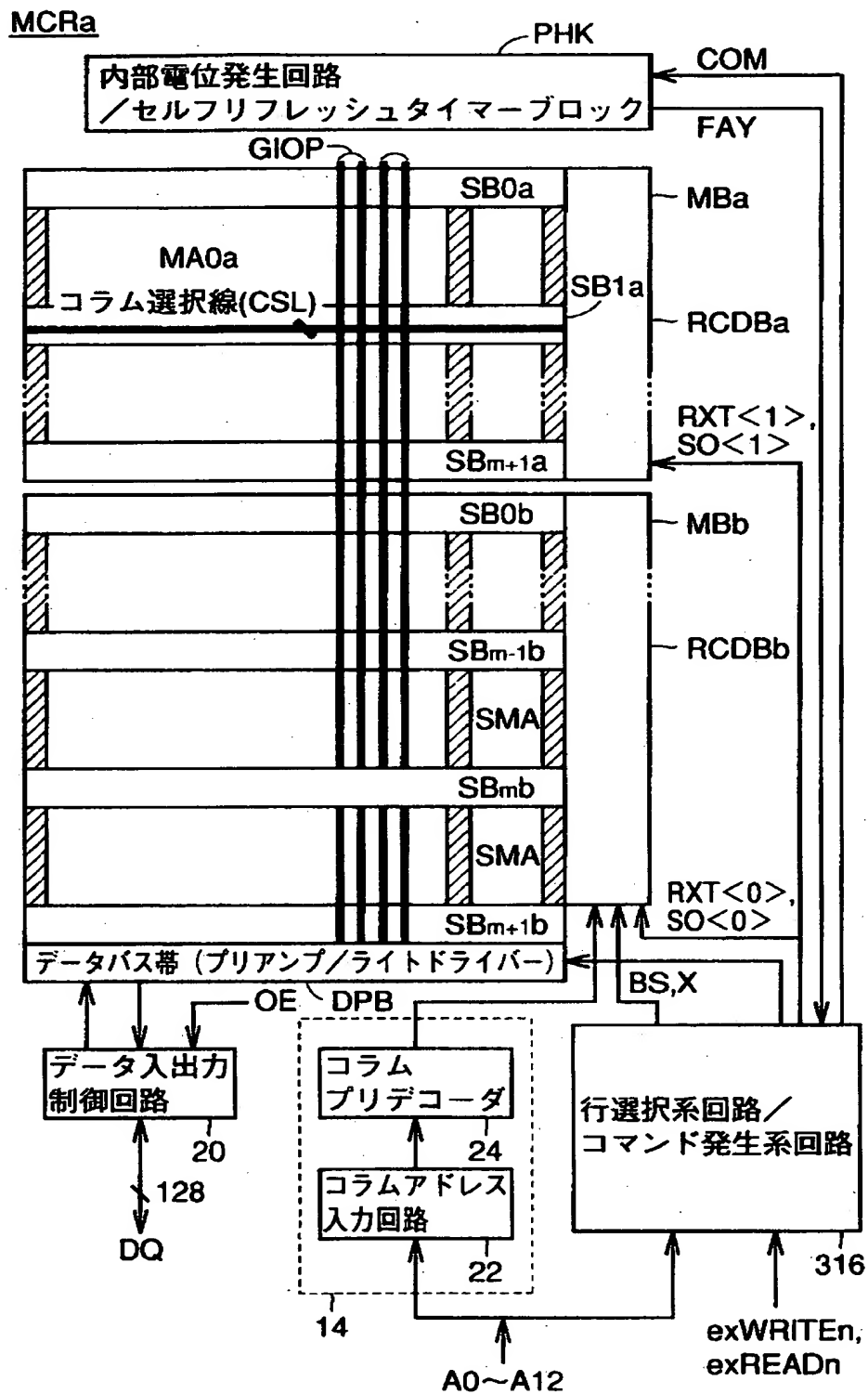
【図19】



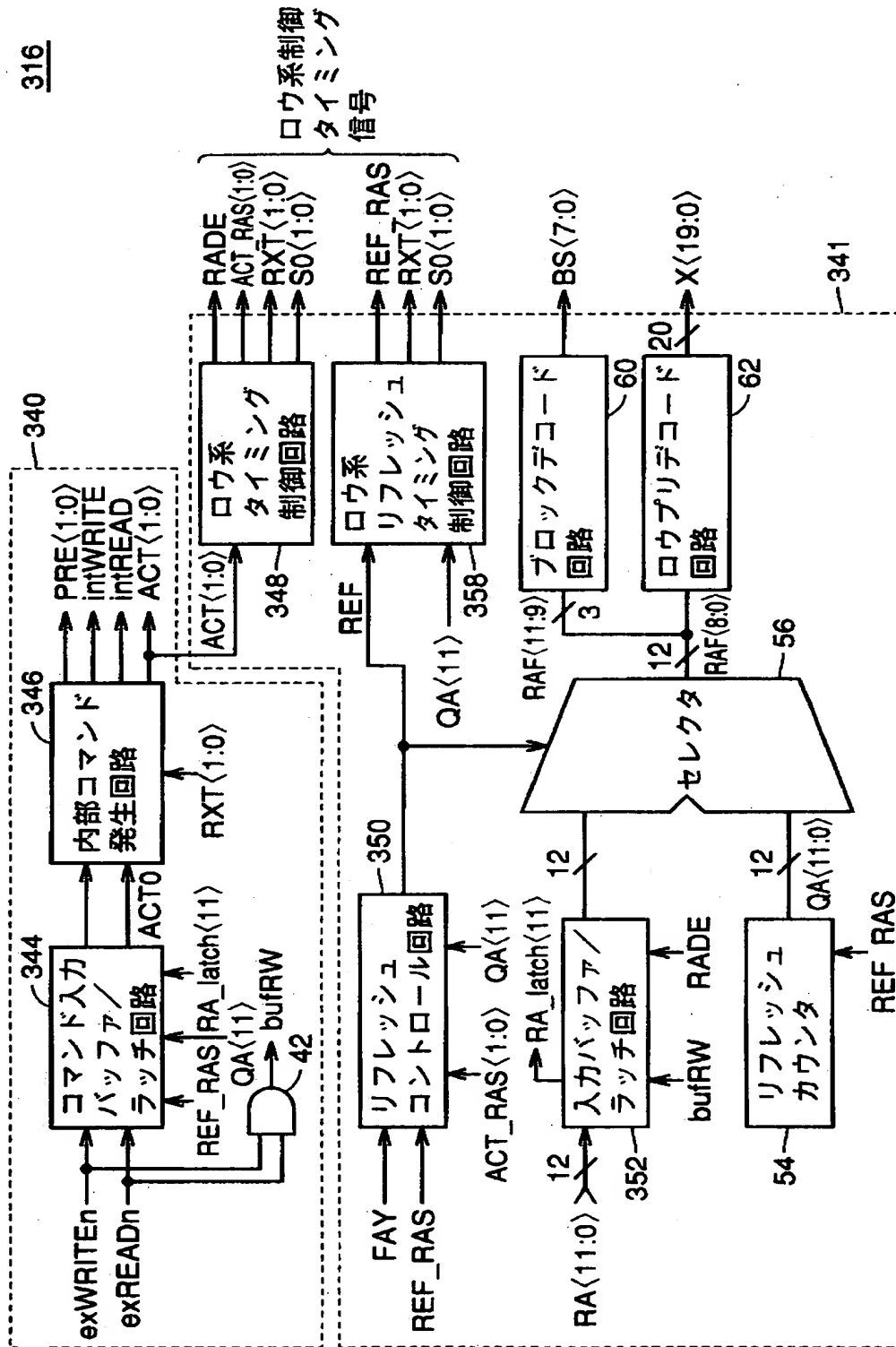
【図 20】



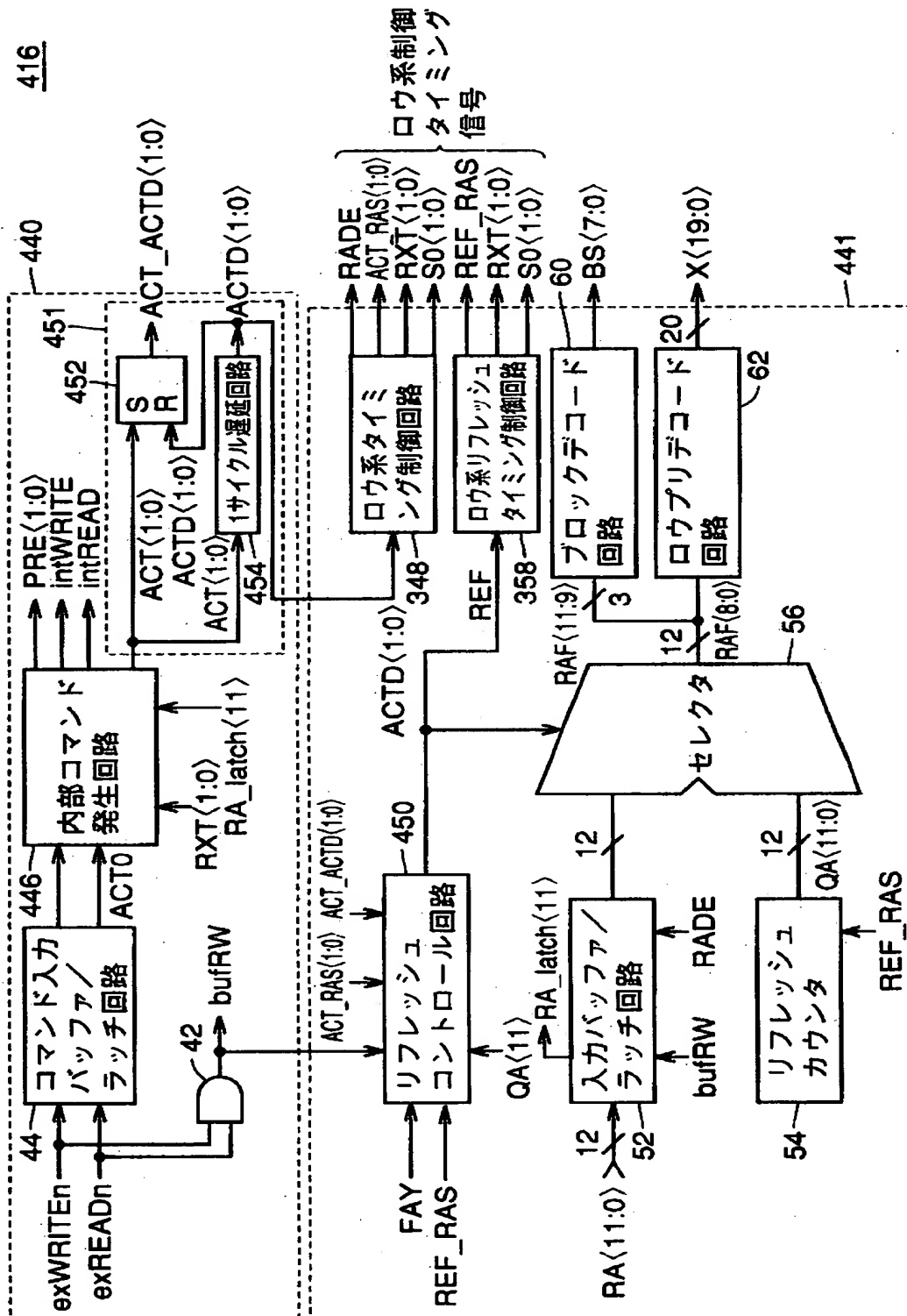
【図 21】



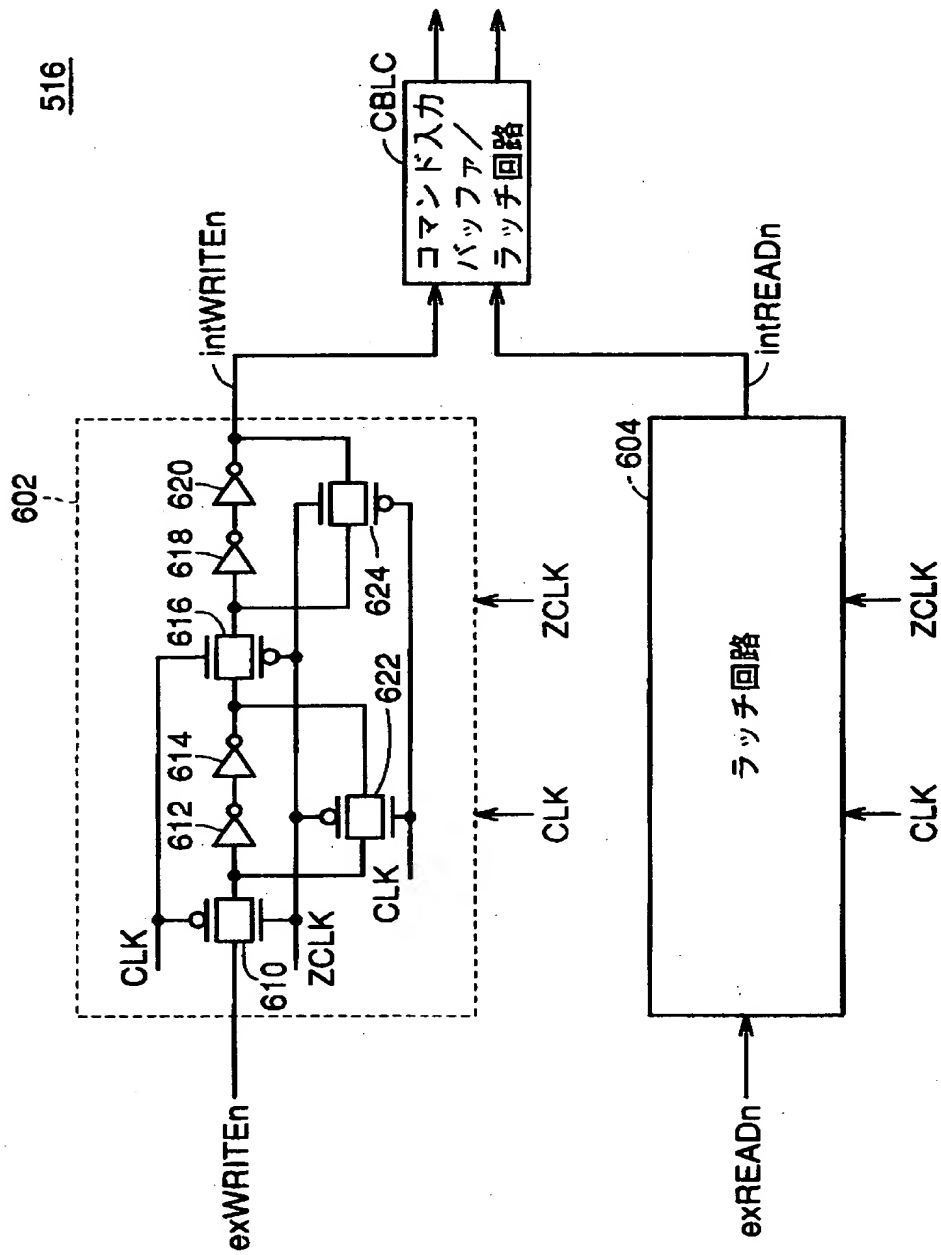
【図 22】



【図 23】

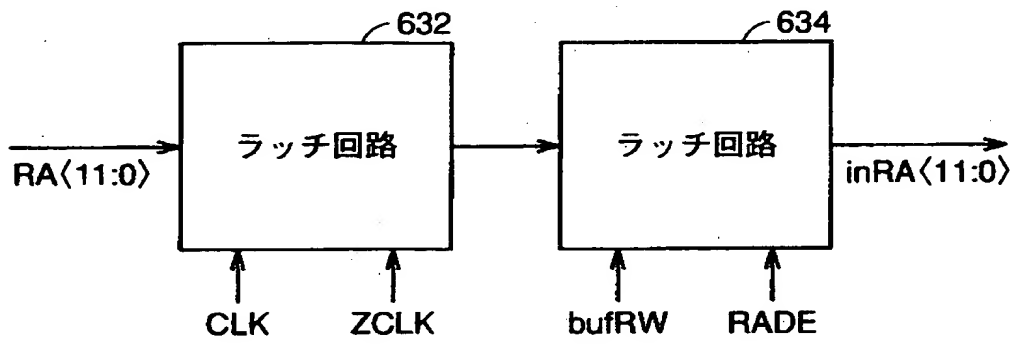


【図 2.4】

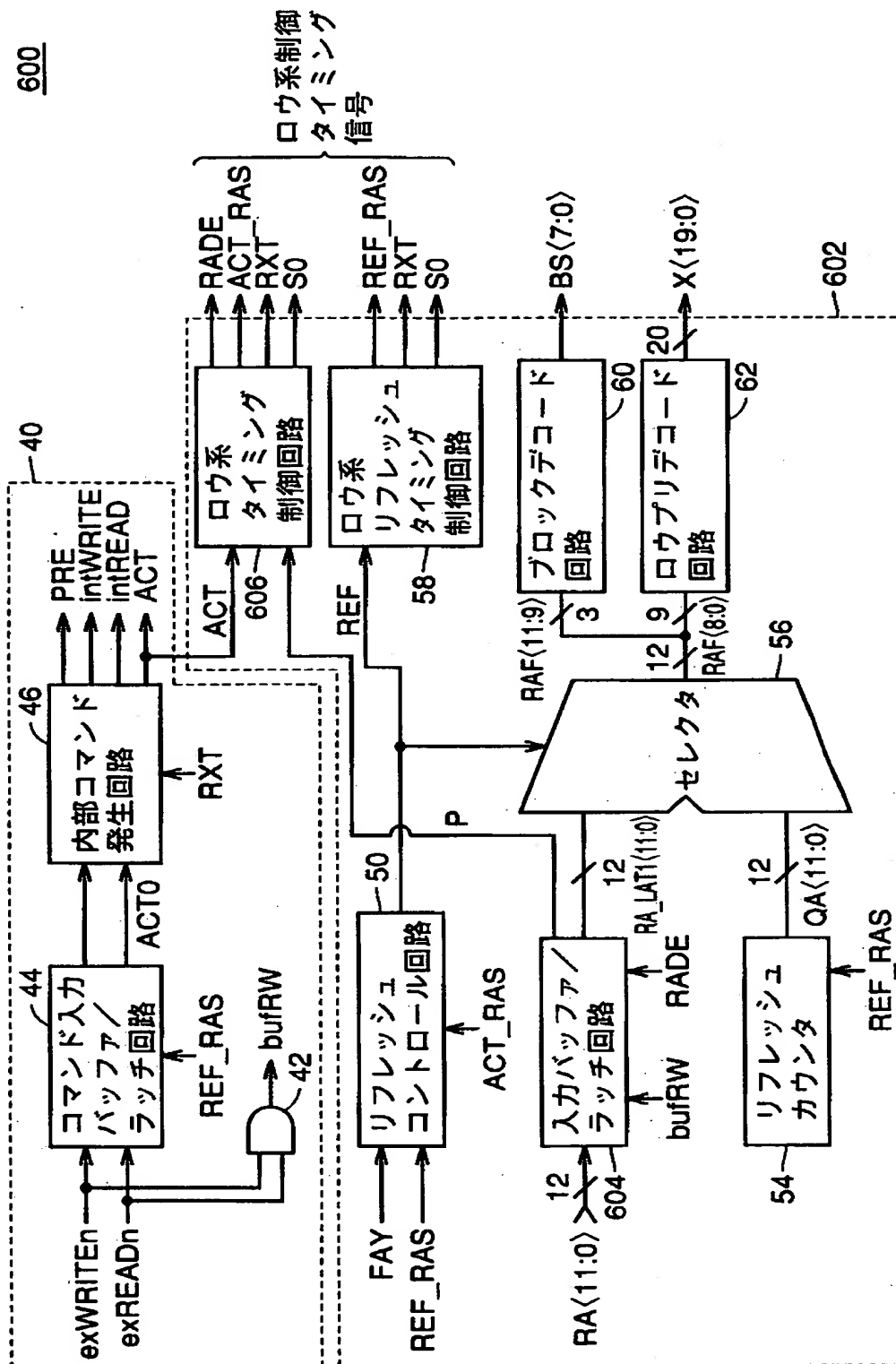


【図 2 5】

552

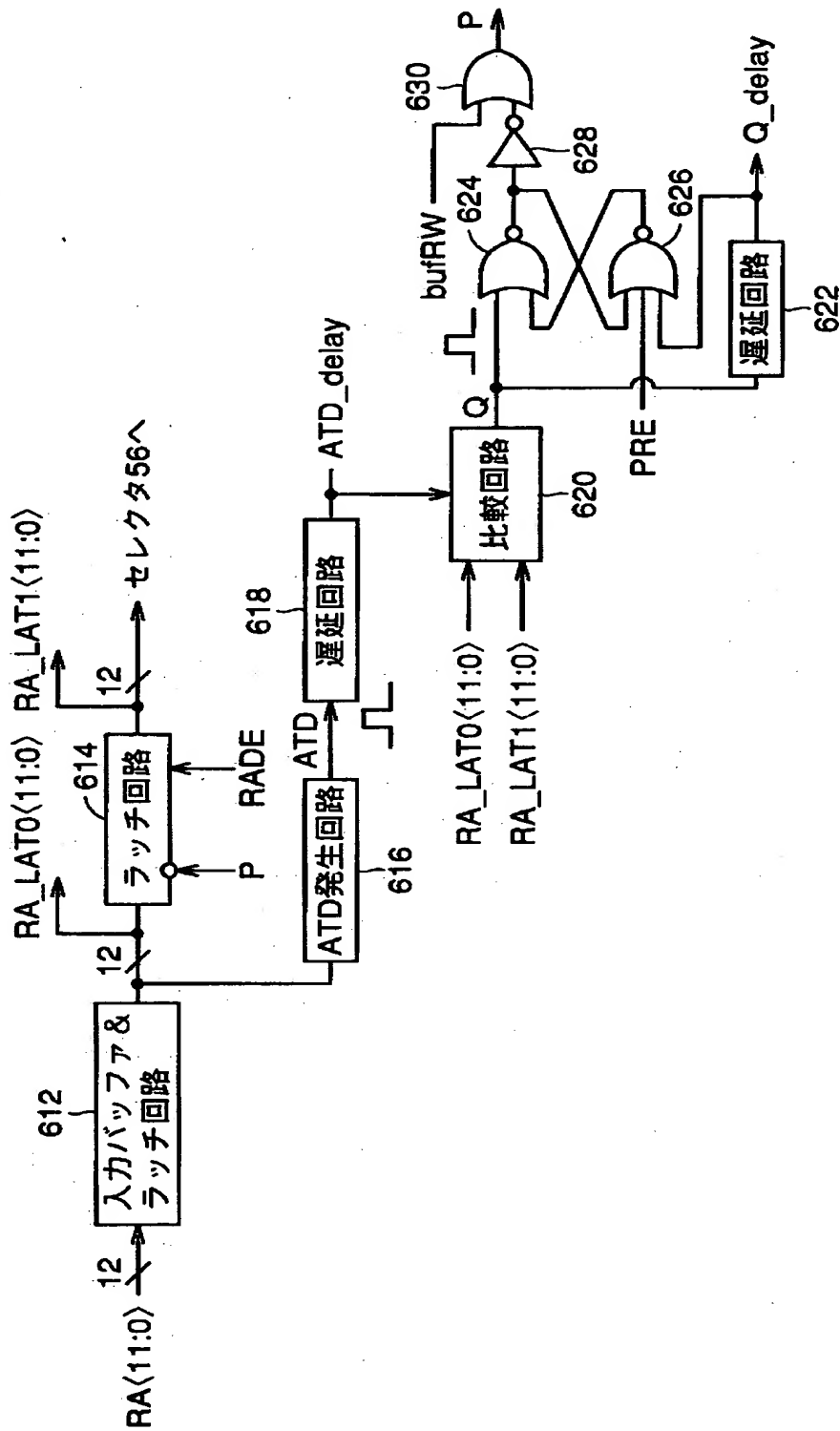


【図 26】

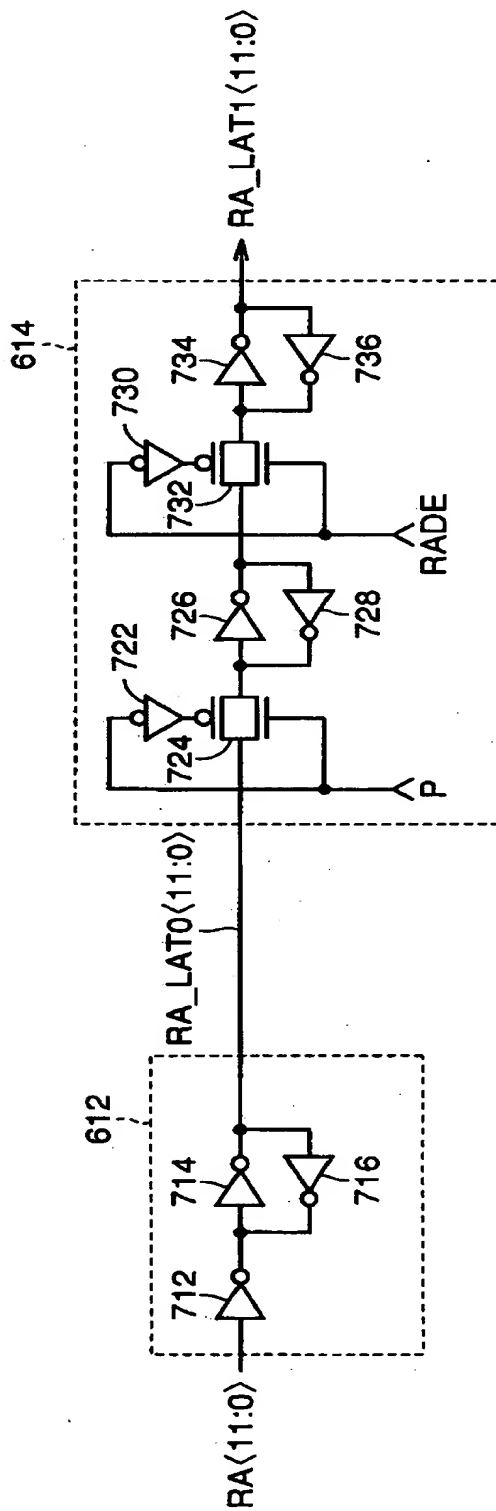


【図 2 7】

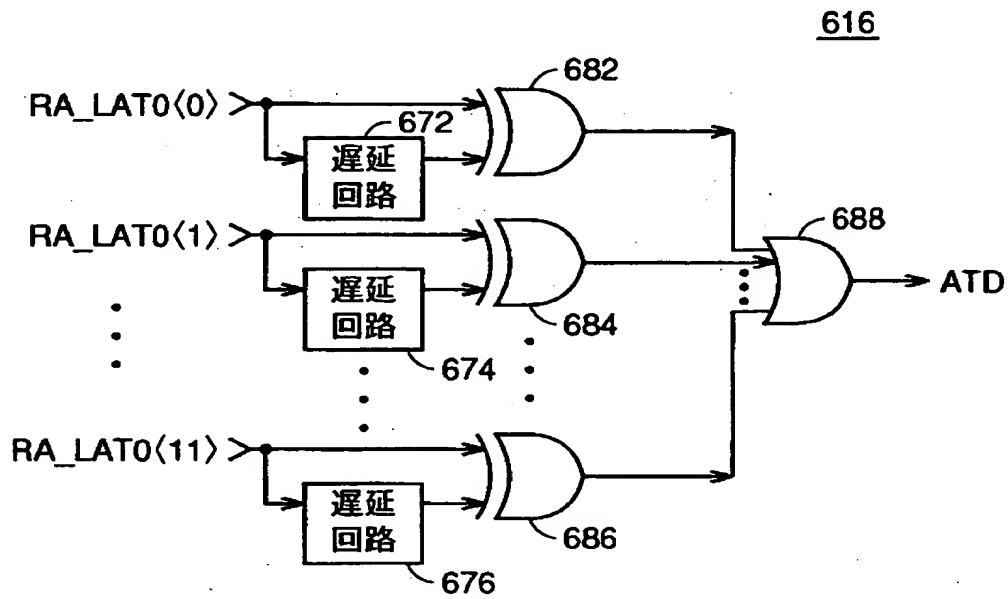
604



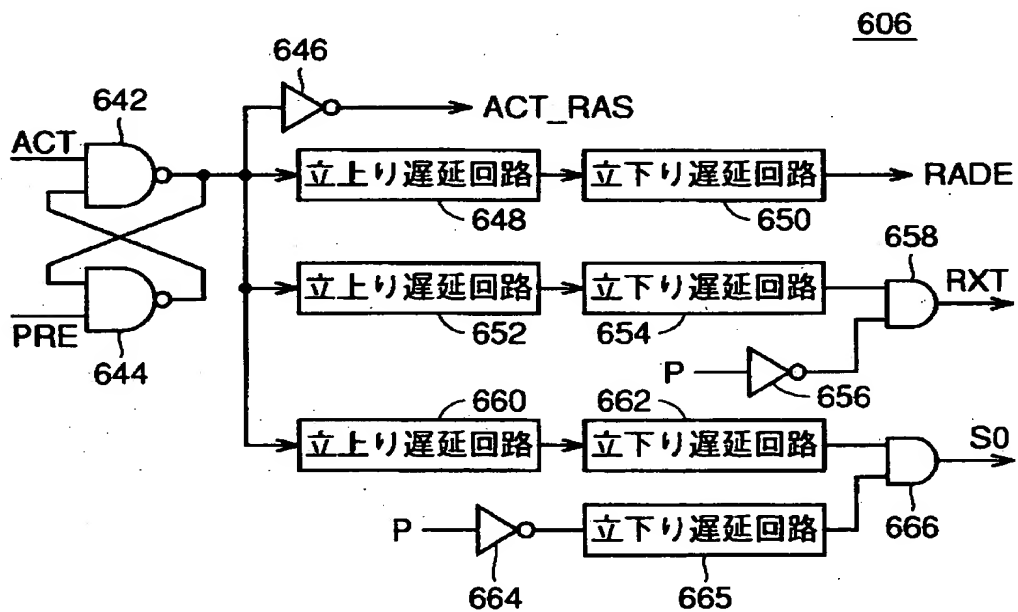
【図 28】



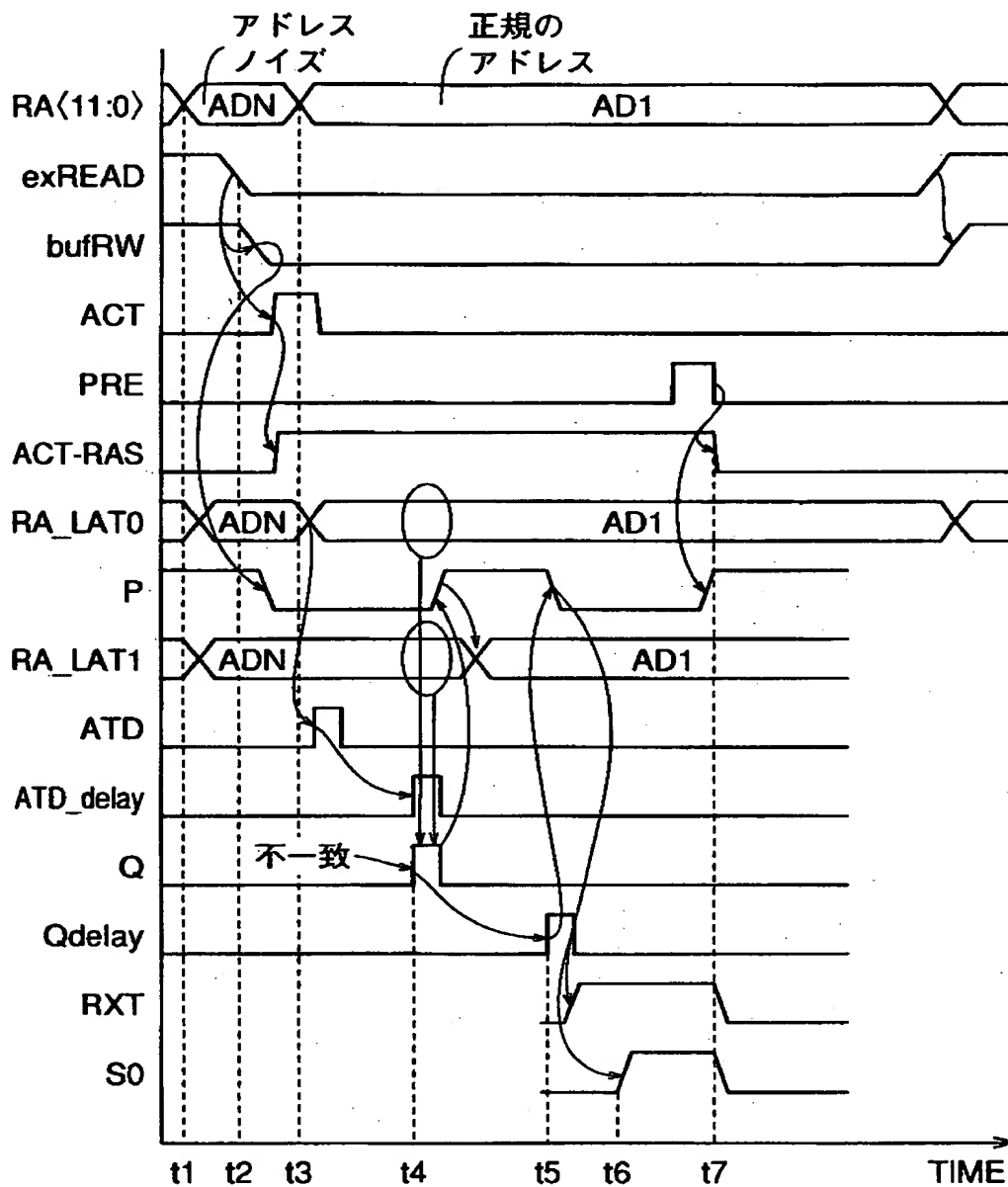
【図 2 9】



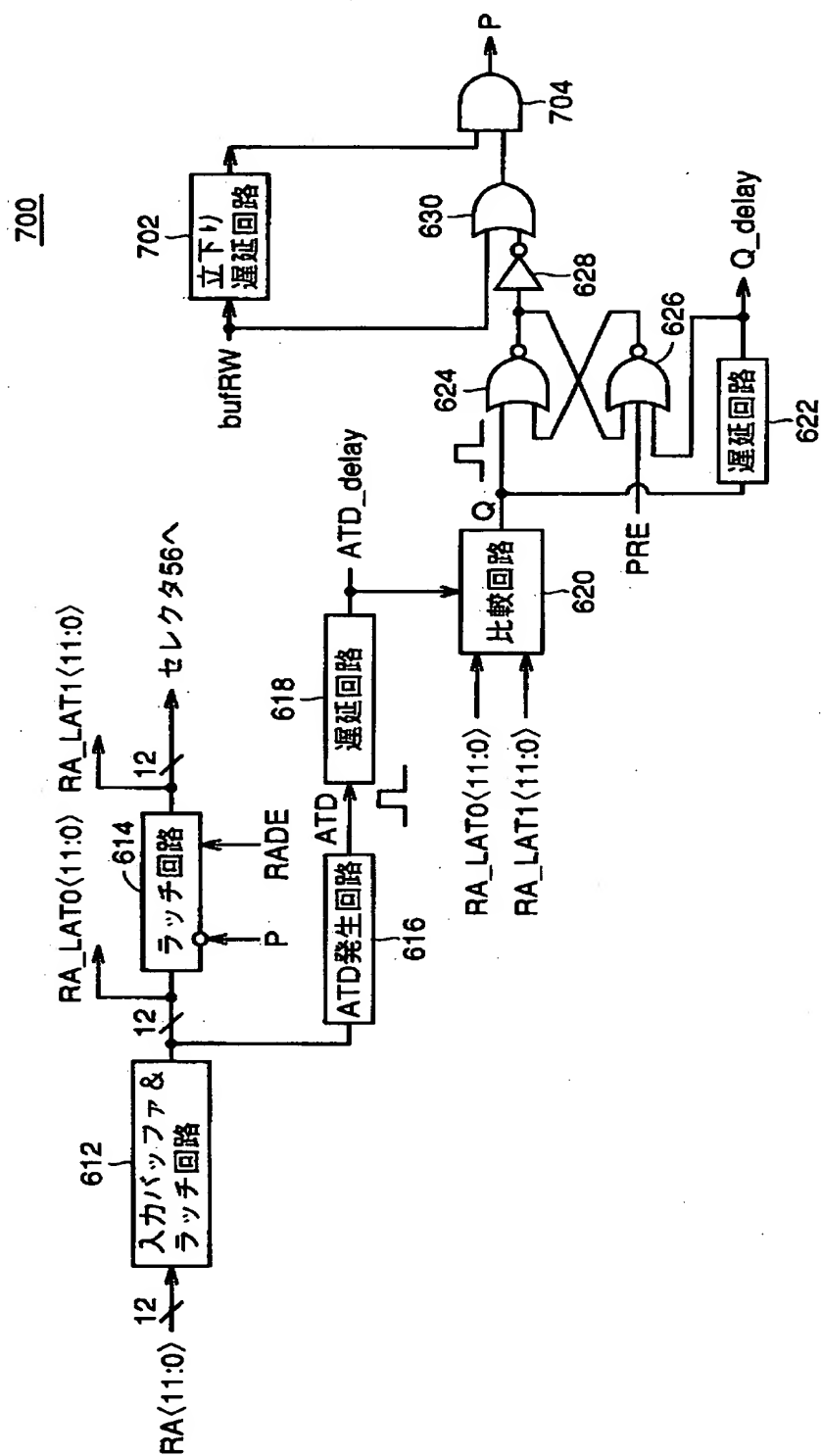
【図 3 0】



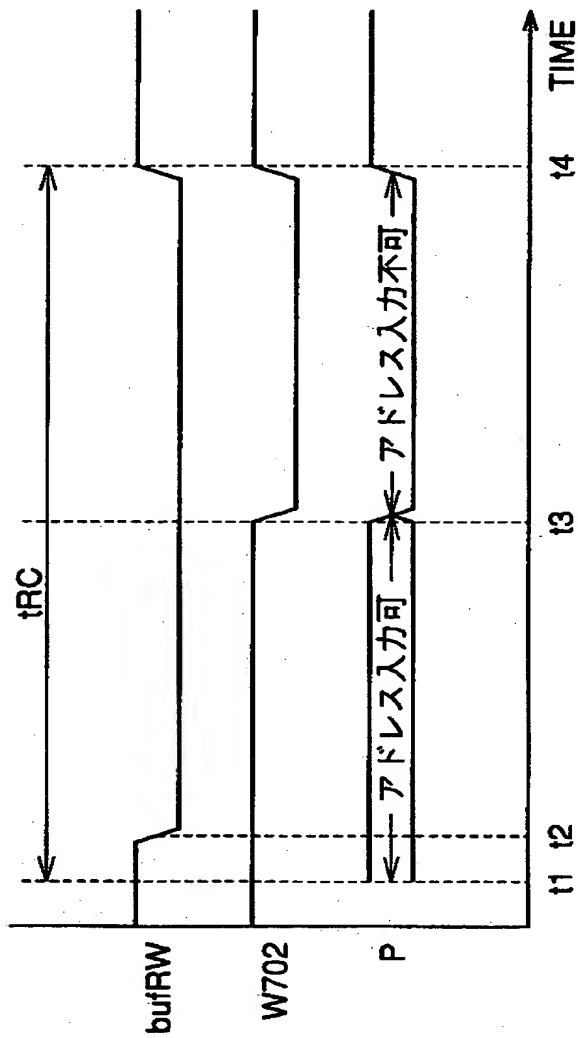
【図 3 1】

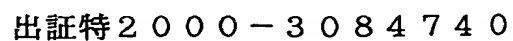


【图 3 2】



【図 33】





【書類名】 要約書

【要約】

【課題】 リフレッシュ制御信号を与える必要がなく、SRAMと同様なアクセスが可能な、DRAMコアを内蔵するシステムLSIを提供する。

【解決手段】 セルフリフレッシュタイマは常に動作状態とされリフレッシュ要求信号FAYを定期的に活性化する。行選択系回路／コマンド発生系回路16は、リフレッシュ要求信号FAYと外部からのリードコマンドまたはライトコマンドとが競合したときには、たとえばリードやライト動作が終了してからリフレッシュ動作が行なわれるようにロウ系制御信号を制御する。サブメモリアレイSMAは従来と比べて細分化され、リフレッシュサイクルは短時間で終了するので、リードサイクル時間内でリードとリフレッシュとを終了させることができ、SRAMと同様な簡単な制御で利用できるDRAMコアを実現することができる。

【選択図】 図2

認定・付加情報

特許出願の番号	特願 2 0 0 0 - 2 7 9 4 5 6
受付番号	5 0 0 0 1 1 7 8 6 4 6
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 2 年 9 月 2 0 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000006013
【住所又は居所】	東京都千代田区丸の内二丁目 2 番 3 号
【氏名又は名称】	三菱電機株式会社

【代理人】

申請人

【識別番号】	100064746
【住所又は居所】	大阪府大阪市北区南森町 2 丁目 1 番 2 9 号 住友 銀行南森町ビル 深見特許事務所
【氏名又は名称】	深見 久郎

【選任した代理人】

【識別番号】	100085132
【住所又は居所】	大阪府大阪市北区南森町 2 丁目 1 番 2 9 号 住友 銀行南森町ビル 深見特許事務所
【氏名又は名称】	森田 俊雄

【選任した代理人】

【識別番号】	100091409
【住所又は居所】	大阪府大阪市北区南森町 2 - 1 - 2 9 住友銀行 南森町ビル 深見特許事務所
【氏名又は名称】	伊藤 英彦

【選任した代理人】

【識別番号】	100096781
【住所又は居所】	大阪府大阪市北区南森町 2 - 1 - 2 9 住友銀行 南森町ビル 深見特許事務所
【氏名又は名称】	堀井 豊

【選任した代理人】

【識別番号】	100096792
【住所又は居所】	大阪府大阪市北区南森町 2 - 1 - 2 9 住友銀行 南森町ビル 深見特許事務所

次頁有

認定・付加情報（続き）

【氏名又は名称】 森下 八郎

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社